

FABRICATION METHOD OF SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE

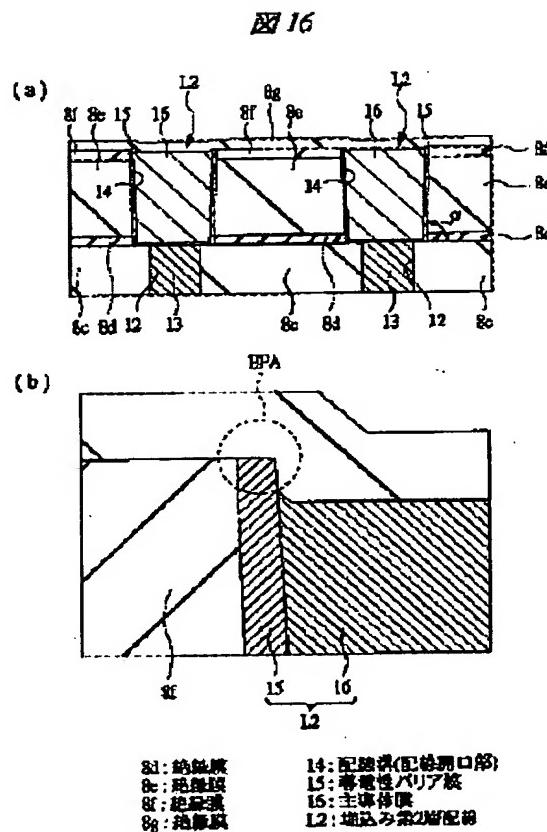
Patent number: JP2002329780
Publication date: 2002-11-15
Inventor: NOGUCHI JUNJI; MARUYAMA HIROYUKI; OHASHI TADASHI
Applicant: HITACHI LTD
Classification:
- **international:** H01L21/768; H01L21/8238; H01L27/092
- **european:**
Application number: JP20010131941 20010427
Priority number(s):

[Report a data error here](#)

Abstract of JP2002329780

PROBLEM TO BE SOLVED: To improve insulation break down resistance between wirings having copper as the main conductive layer.

SOLUTION: A buried wiring structure when the electric field concentrates in the upper portion has the main component of copper separated from the polished face of the insulation film of the circumference when the electric field concentrates in the upper portion.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

BEST AVAILABLE COPY

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-329780

(P2002-329780A)

(43) 公開日 平成14年11月15日 (2002.11.15)

(51) Int.Cl'

H01L 21/788
21/828
27/002

識別記号

F I

H01L 21/90
27/08

チヤード(複数)

B 5 F 0 8 8
S 2 1 P 5 F 0 4 8

(21) 出願番号

特願2001-131841(P2001-131841)

(22) 出願日

平成13年4月27日 (2001.4.27)

(71) 出願人

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者

野口 郁司

東京都青梅市新町六丁目18番地の3 株式

会社日立製作所デバイス開発センター内

(73) 発明者

丸山 拓之

東京都青梅市新町六丁目18番地の3 株式

会社日立製作所デバイス開発センター内

(74) 代理人

10008001

弁理士 岩井 大和

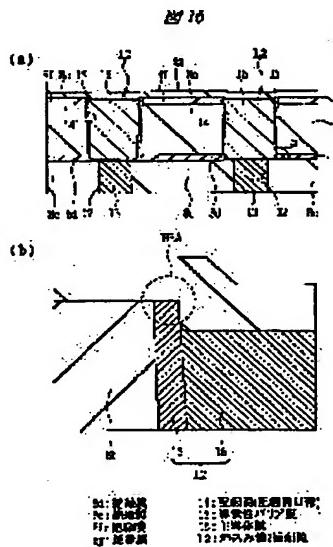
最終回に続く

(54) 【発明の名前】 半導体接合の製造方法および半導体接合

(57) 【要約】

【課題】 銅を主導電層とする配線間の絶縁破壊耐性を向上させる。

【解決手段】 銅を主成分とする埋込み配線の上部において電界が集中する箇所が、その周囲の絶縁膜の研磨面から離間するような埋込み配線構造とした。



【特許請求の範囲】

【請求項 1】 以下の工程を有することを特徴とする半導体装置の製造方法；
(a) 半導体基板の主面上に第1の絶縁膜を堆積する工程、(b) 前記第1の絶縁膜に配線開口部を形成する工程、(c) 前記配線開口部に、前記第1の絶縁膜の上面に対して段差が生じるような上面の高さを持ち、銅を主成分として含む配線を形成する工程、(d) 前記第1の絶縁膜および前記配線上に第2の絶縁膜を堆積する工程。

【請求項 2】 請求項1記載の半導体装置の製造方法において、

前記(c)工程は、
前記配線開口部内を含む前記第1の絶縁膜上に、配線形成用の第1の導体膜および銅を主成分とする配線形成用の第2の導体膜を順に堆積する工程。
前記配線形成用の第1、第2の導体膜を研磨することにより、前記配線開口部内に配線を形成する工程。
前記配線の上面が、前記第1の絶縁膜の上面よりも低くなるように、前記配線の上部を選択的にエッチング除去する工程を有することを特徴とする半導体装置の製造方法。

【請求項 3】 請求項1記載の半導体装置の製造方法において、

前記(c)工程は、
前記配線開口部内を含む前記第1の絶縁膜上に、配線形成用の第1の導体膜および銅を主成分とする配線形成用の第2の導体膜を順に堆積する工程。
前記配線形成用の第1、第2の導体膜を研磨することにより、前記配線開口部内に配線を形成する工程。
前記配線の上面が、前記第1の絶縁膜の上面よりも高くなるように、前記第1の絶縁膜の上部を選択的にエッチング除去する工程を有することを特徴とする半導体装置の製造方法。

【請求項 4】 請求項1記載の半導体装置の製造方法において、

前記(c)工程は、
前記配線開口部内を含む前記第1の絶縁膜上に、銅を主成分とする配線形成用の導体膜を堆積する工程。
前記銅を主成分とする配線形成用の導体膜を研磨することにより、前記配線開口部内に配線を形成する工程。
前記配線の上面が、前記第1の絶縁膜の上面よりも低くなるように、前記配線の上部を選択的にエッチング除去する工程を有することを特徴とする半導体装置の製造方法。

【請求項 5】 請求項1記載の半導体装置の製造方法において、

前記(c)工程は、
前記配線開口部内を含む前記第1の絶縁膜上に、銅を主成分とする配線形成用の導体膜を堆積する工程。

前記銅を主成分とする配線形成用の導体膜を研磨することにより、前記配線開口部内に配線を形成する工程。

前記配線の上面が、前記第1の絶縁膜の上面よりも高くなるように、前記第1の絶縁膜の上部を選択的にエッチング除去する工程を有することを特徴とする半導体装置の製造方法。

【請求項 6】 請求項1記載の半導体装置の製造方法において、

前記(c)工程後、前記(d)工程の前に、
前記半導体基板に対してアンモニアガス雰囲気中においてプラズマ処理を施す工程を有することを特徴とする半導体装置の製造方法。

【請求項 7】 請求項1記載の半導体装置の製造方法において、

前記(c)工程後、前記(d)工程の前に、
前記半導体基板に対して水素ガス雰囲気中においてプラズマ処理を施す工程を有することを特徴とする半導体装置の製造方法。

【請求項 8】 請求項1記載の半導体装置の製造方法において、

前記(c)工程後、前記(d)工程の前に、
前記半導体基板に対して水素ガス雰囲気中においてプラズマ処理を施す工程。
前記半導体基板に対してアンモニアガス雰囲気中においてプラズマ処理を施す工程を有することを特徴とする半導体装置の製造方法。

【請求項 9】 請求項8記載の半導体集積回路装置の製造方法において、前記水素ガスプラズマおよびアンモニアガスプラズマ処理の後、大気開放せずに連続して、前記第1の絶縁膜および前記配線上に、前記第2の絶縁膜を堆積することを特徴とする半導体集積回路装置の製造方法。

【請求項 10】 請求項1記載の半導体装置の製造方法において、前記第1の絶縁膜は、低誘電率な絶縁膜からなることを特徴とする半導体装置の製造方法。

【請求項 11】 請求項1記載の半導体装置の製造方法において、前記第1の絶縁膜は、低誘電率材料からなる絶縁膜上にキャップ用の絶縁膜を積み重ねてなることを特徴とする半導体装置の製造方法。

【請求項 12】 請求項11記載の半導体装置の製造方法において、前記キャップ用の絶縁膜は、銅の拡散を抑制または防止する性質を有することを特徴とする半導体装置の製造方法。

【請求項 13】 請求項12記載の半導体装置の製造方法において、前記キャップ用の絶縁膜は、炭化シリコン膜、炭空化シリコン膜またはトリメトキシシランガスを用いた酸化シリコン膜からなることを特徴とする半導体装置の製造方法。

【請求項 14】 請求項1記載の半導体装置の製造方法において、前記第2の絶縁膜は、銅の拡散を抑制または

防止する性質を有することを持致とする半導体装置の製造方法。

【請求項15】 請求項1-4記載の半導体装置の製造方法において、前記第2の絶縁膜は、炭化シリコン膜、炭化シリコン膜またはトリメトキシシランガスを用いた酸化シリコン膜からなることを特徴とする半導体装置の製造方法。

【請求項16】 以下の構成を有することを持致とする半導体装置：

(a) 第1の絶縁膜に形成された配線開口部、(b) 前記配線開口部内に埋め込まれるように設けられ、前記第1の絶縁膜の上面に対し段差が生じるような上面の高さを持ち、銅を主成分として含む配線、(c) 前記第1の絶縁膜および前記配線上に設けられた第2の絶縁膜。

【請求項17】 請求項1-6記載の半導体装置において、前記配線の上面高さが、前記第1の絶縁膜の上面高さよりも低いことを特徴とする半導体装置。

【請求項18】 請求項1-6記載の半導体装置において、前記配線の上面高さが、前記第1の絶縁膜の上面高さよりも高いことを特徴とする半導体装置。

【請求項19】 請求項1-6記載の半導体装置において、前記配線は、配線形成用の第1の導体膜と、これよりも相対的に厚く前記配線開口部内に埋め込まれた銅を主成分とする配線形成用の第2の導体膜とを有することを持致とする半導体装置。

【請求項20】—請求項1-6記載の半導体装置において、前記配線は、銅を主成分とする配線形成用の導体膜からなることを特徴とする半導体装置。

【請求項21】 請求項1-6記載の半導体装置において、前記第1の絶縁膜は、低誘電率の絶縁膜からなることを特徴とする半導体装置。

【請求項22】 請求項1-6記載の半導体装置において、前記第1の絶縁膜は、低誘電率材料からなる絶縁膜上にキャップ用の絶縁膜を積み重ねてなることを特徴とする半導体装置。

【請求項23】 請求項2-2記載の半導体装置において、前記キャップ用の絶縁膜は、銅の拡散を抑制または防止する性質を有することを持致とする半導体装置。

【請求項24】 請求項2-3記載の半導体装置において、前記キャップ用の絶縁膜は、炭化シリコン膜、炭化シリコン膜またはトリメトキシシランガスを用いた酸化シリコン膜からなることを特徴とする半導体装置。

【請求項25】 請求項1-6記載の半導体装置において、前記第2の絶縁膜は、銅の拡散を抑制または防止する性質を有することを持致とする半導体装置。

【請求項26】 請求項2-5記載の半導体装置において、前記第2の絶縁膜は、炭化シリコン膜、炭化シリコン膜またはトリメトキシシランガスを用いた酸化シリコン膜からなることを特徴とする半導体装置。

【請求項27】 第1の絶縁膜に形成された配線開口

部、前記配線開口部内に埋め込まれるように設けられた銅を主成分として含む配線、前記第1の絶縁膜および前記配線上に設けられた第2の絶縁膜を有し、前記配線において電界が集中する角部を、その周囲の前記第1の絶縁膜の上面から離間させたことを特徴とする半導体装置。

【請求項28】 第1の絶縁膜に形成された配線開口部、前記配線開口部内に埋め込まれるように設けられた銅を主成分として含む配線、前記第1の絶縁膜および前記配線上に設けられた第2の絶縁膜を有し、前記配線の上面の高さ位置を、前記第1、第2の絶縁膜の界面の高さ位置からずらしたことを特徴とする半導体装置。

【請求項29】 第1の絶縁膜に形成された配線開口部、前記配線開口部内に埋め込まれるように設けられた銅を主成分として含む配線、前記第1の絶縁膜および前記配線上に設けられた第2の絶縁膜を有し、前記第1の絶縁膜は、低誘電率材料からなる絶縁膜上に、銅の拡散を抑制または防止する性質を有するキャップ用の絶縁膜を積み重ねてなることを特徴とする半導体装置。

【請求項30】 請求項2-9記載の半導体装置において、前記キャップ用の絶縁膜は、炭化シリコン膜、炭化シリコン膜またはトリメトキシシランガスを用いた酸化シリコン膜からなることを特徴とする半導体装置。

【請求項31】 請求項2-9記載の半導体装置において、前記第2の絶縁膜は、銅の拡散を抑制または防止する性質を有することを持致とする半導体装置。

【請求項32】 請求項3-1記載の半導体装置において、前記第2の絶縁膜は、炭化シリコン膜、炭化シリコン膜またはトリメトキシシランガスを用いた酸化シリコン膜からなることを特徴とする半導体装置。

【請求項33】 第1の絶縁膜に形成された配線開口部、前記配線開口部内に埋め込まれるように設けられた銅を主成分として含む配線、前記第1の絶縁膜および前記配線上に設けられた第2の絶縁膜を有し、前記第1の絶縁膜を、銅の拡散を抑制または防止する性質を有する絶縁材料で構成したことを特徴とする半導体装置。

【請求項34】 請求項3-3記載の半導体装置において、前記第1の絶縁膜は、炭化シリコン膜、炭化シリコン膜またはトリメトキシシランガスを用いた酸化シリコン膜からなることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法および半導体装置技術に関し、特に、銅を主導体層とする埋込み配線を有する半導体装置技術に適用して有効な技術に関するものである。

【0002】

【従来の技術】 近年は、例えばダマシン(Damascene)と呼ばれる配線形成技術が検討されている。このダマシン法は、シングルダマシン(Single-Damascene)法とデ

ュアルダマシン (Dual Damascene) 法とに大別できる。シングルダマシン法は、例えば絶縁膜に配線溝を形成した後、その絶縁膜上および配線溝内に配線形成用の主導電層を堆積し、さらに、その主導電層を、例えば化学的機械的研磨法 (CMP; Chemical Mechanical Polishing) によって配線溝内のみに残されるように研磨することにより、配線溝内に埋込み配線を形成する方法である。また、デュアルダマシン法は、絶縁膜に配線溝および下層配線との接続を行うための孔を形成した後、その絶縁膜上、配線溝および孔内に配線形成用の主導電層を堆積し、さらに、その主導電層を CMP 等によって配線溝および孔内のみに残されるように研磨することにより、配線溝および孔内に埋込み配線を形成する方法である。いずれの方法においても、配線の主導体材料としては、半導体装置の性能を向上させる観点等から、例えば銅等のような低抵抗な材料が使用される。銅はアルミニウムよりも低抵抗で信頼性における許容電流が 2 行以上大きいという利点を持ち、同じ配線抵抗を得るのに膜を薄くすることができるので、隣接する配線間の容量も低減できる。しかし、銅は、例えばアルミニウム等のような金属と比較して絶縁膜中に拡散され易いとされている。このため、銅を配線材料として用いる場合、銅からなる主導体層の表面（底面および側面）、すなわち、配線溝の内壁面（側面および底面）に、銅の拡散を防止するための薄い導電性バリア膜を形成する必要性があるとされている。また、配線溝が形成された絶縁膜の上面全に、上記埋め込み配線の上面を覆うように、例えば空化シリコン膜等からなるキャップ膜を堆積することにより、埋め込み配線中の銅が、埋め込み配線の上面から絶縁膜中に拡散するのを防止する技術がある。

【0003】

【発明が解決しようとする課題】ところが、本発明者らの検討結果によれば、上記銅を主導体層とする埋め込み配線技術においては、以下の課題があることを見い出した。

【0004】すなわち、銅を配線材料に用いた場合、T DDB (Time Dependence on Dielectric Breakdown) 寿命が、他の金属材料（例えばアルミニウムやタンクステン）に比べて著しく短いという問題がある。その上、配線ピッチの微細化が進み、実効電界強度が増加する傾向にあることに加え、近年は配線容量を低減する観点等から酸化シリコンよりも誘電率の低い絶縁材料を配線間の絶縁膜として使用する方向にあるが、誘電率の低い絶縁膜は一般的に絶縁耐圧も低いことから、T DDB 寿命の確保が益々困難になる状況にある。

【0005】本発明の目的は、銅を主導体層とする配線間の絶縁破壊耐性を向上させることのできる技術を提供することにある。

【0006】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかに

なるであろう。

【0007】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0008】すなわち、本発明は、銅を主導体膜として含む配線において電界が集中する箇所を、その周囲の絶縁膜の研磨面から離間させるものである。

【0009】また、本発明は、銅を主導体膜として含む配線の上部角の高さを、その配線が形成される絶縁膜と、その配線を覆うように絶縁膜上に設けられた他の絶縁膜との界面の高さに対して上または下方向にずらすものである。

【0010】また、本発明は、銅を主導体膜として含む配線が形成される絶縁膜であって、その配線を覆うように絶縁膜上に設けられた他の絶縁膜と接する界面部分に、銅の拡散を抑制または防止する性質を有する絶縁膜を設けたものである。

【0011】また、本発明は、銅を主導体膜として含む埋込み配線の絶縁膜において、少なくとも埋込み配線の上面に接続される絶縁膜界面に接する部分に、銅の拡散を抑制または防止する性質を有する絶縁膜が配置されるように絶縁膜を構成したものである。

【0012】

【発明の実施の形態】本願発明を詳細に説明する前に、本願における用語の意味を説明すると次の通りである。

【0013】1. T D D B (Time Dependence on Dielectric Breakdown) 寿命とは、絶縁破壊の時間的依存性を客観的に計る尺度であって、所定の温度（例えば 140°C）の測定条件下で電極間に比較的高い電圧を加え、電圧印加から絶縁破壊までの時間を印加電界に対してプロットしたグラフを作成し、このグラフから実際の使用電界強度（例えば 0.2 MV/cm）に外挿して求めた時間（寿命）をいう。

【0014】図 1 は、本願の T D D B 寿命測定に使用した試料を示し、図 1 (a) は平面図、図 1 (b) および図 1 (c) は図 1 (a) における B-B' 線断面および C-C' 線断面を各々示す。この試料は実際にウエハの T E G (Test Equipment Group) 領域に形成できる。図示するように一対の梯形配線 L を第 2 配線層 M2 に形成し、最上層のパット P1, P2 に各々接続する。この梯形配線 L 間に電界が印加され電流が測定される。パット P1, P2 は測定端子である。梯形配線 L の配線個、配線間隔、配線厚さはいずれも 0.5 μm である。また、配線対向長は 1.58 × 1.05 μm とした。

【0015】図 2 は、測定の概要を示した説明図である。試料は測定ステージ S に保持され、パッド P1, P2 間に電流電圧測定器 (I/V 測定器) を接続する。測定ステージ S はヒータ H で加熱され試料温度が 140°C に調整される。T D D B 寿命測定には定電圧ストレス法

と低電流ストレス法などがあるが、本願では絶縁膜に印加される平均電界が一定となる定電圧ストレス法を用いている。電圧印加の後、時間の経過とともに電流密度は減少し、その後、急激な電流増加(絶縁破壊)が観測される。ここでは、リーク電流密度が $1 \mu A/cm^2$ に達した時間をTDDB寿命($5MV/cm$ におけるTDDB寿命)とした。なお、本願において、TDDB寿命とは、特に言及しない限り $2MV/cm$ における破壊時間(寿命)をいうが、広義には所定の電界強度に言及した上で破壊までの時間としてTDDB寿命の語を用いる場合もある。また、特に言及しない限り、TDDB寿命は、試料温度 $140^\circ C$ の場合をいう。また、TDDB寿命は前記の整形配線で測定した場合をいうが、実際の配線間の破壊寿命を反映することはいうまでもない。

【0016】2. プラズマ処理とは、プラズマ状態にある環境に、基板表面、あるいは、基板上に絶縁膜、金属膜等のような部材が形成されている時にはその部材表面を暴露し、プラズマの化学的、機械的(ポンバードメント)作用を表面に与えて処理することをいう。一般にプラズマは特定のガス(処理ガス)に置換した反応室内に必要に応じて処理ガスを補充しつつ、高周波電界等の作用によりガスを電離させて生成するが、現実には完全に処理ガスで置換することはできない。よって、本願では、例えばアンモニアプラズマと称しても、完全なアンモニアプラズマを意図するものではなく、そのプラズマ内に含まれる不純物ガス-(窒素、酸素、二酸化炭素、水蒸気等)の存在を排除するものではない。同様に、言うまでもないことであるが、プラズマ中に他の希釈ガスや添加ガスを含むことを排除するものではない。

【0017】3. 遠元性効率のプラズマとは、遠元作用、すなわち、酸素を引き抜く作用を有するラジカル、イオン、原子、分子等の反応種が支配的に存在するプラズマ環境をいい、ラジカル、イオンには、原子あるいは分子状のラジカルあるいはイオンが含まれる。また、環境内には単一の反応種のみならず、複数種の反応種が含まれていても良い。例えば水素ラジカルと NH_2 ラジカルとが同時に存在する環境でも良い。

【0018】4. 本願において例えば銅からなると表現した場合、主成分として銅が用いられていることを意図する。すなわち、一般に高純度な銅であっても、不純物が含まれることは当然であり、添加物や不純物も銅からなる部材に含まれることを排除するものではない。これは銅に限らず、その他の金属(窒化チタン等)でも同様である。

【0019】5. 化学機械研磨(CMP:Chemical Mechanical Polishing)とは、一般に被研磨面を相対的に軟らかい布類のシート材料等からなる研磨パッドに接触させた状態で、スラリを供給しながら面方向に相対移動させて研磨を行うことをいい、本願においてはその他、被研磨面を硬質の砥石面に対して相対移動させることによっ

て研磨を行うCMP(Chemical Mechanical Polishing)、その他の固定砥粒を使用するもの、及び砥粒を使用しない砥粒フリー-CMP等も含むものとする。

【0020】6. 砥粒フリー化学機械研磨は、一般に砥粒の重量濃度が0.5%重量未満のスラリを用いた化学機械研磨をいい、有砥粒化学機械研磨とは、砥粒の重量濃度が0.5%重量よりも高濃度のスラリを用いた化学機械研磨をいい。しかし、これらは相対的なものであり、第1ステップの研磨が砥粒フリー化学機械研磨で、それに続く第2ステップの研磨が有砥粒化学機械研磨である場合、第1ステップの研磨濃度が第2ステップの研磨濃度よりも1桁以上、望ましくは2桁以上小さい場合には、この第1ステップの研磨を砥粒フリー化学機械研磨という場合もある。本明細書中において、砥粒フリー化学機械研磨と言うときは、対象とする金属膜の単位平坦化プロセス全体を砥粒フリー化学機械研磨で行う場合の他、主要プロセスを砥粒フリー化学機械研磨を行い、副次的なプロセスを有砥粒化学機械研磨で行う場合も含むものとする。

【0021】7. 研磨液(スラリ)とは、一般に化学エッチング剤に研磨砥粒を混合した懸濁液をいい、本願においては発明の性質上、研磨砥粒が混合されていないものを含むものとする。

【0022】8. 砥粒(スラリ粒子)とは、一般にスラリに含まれるアルミニウム、シリカ等のような粉末をいい。

【0023】9. 防食剤とは、金属の表面に耐食性、疎水性あるいはその両方の性質を有する保護膜を形成することによって、CMPによる研磨の進行を阻止または抑制する薬剤をいい、一般にベシゾトリアゾール(BTA)などが使用される(詳しくは特開平8-64594号公報参照)。

【0024】10. 导電性バリア膜とは、一般に銅が層間絶縁膜内や下層へ拡散するのを防止するために、埋め込み配線の側面または底面に比較的速く形成される拡散バリア性の導電膜であり、一般に、窒化チタン(TiN)、タンタル(Ta)、窒化タンタル(TaN)等の、のような高融点金属またはその窒化物等が使用される。

【0025】11. 埋込み配線または埋込みメタル配線とは、一般にシングルダマシン(singledamascene)やデュアルダマシン(dual damascene)などのように、絶縁膜に形成された溝や孔などの内部に導電膜を埋め込んだ後、絶縁膜上の不要な導電膜を除去する配線形成技術によってバーニングされた配線をいい。また、一般に、シングルダマシンとは、プラグメタルと、配線用メタルとの2段階に分けて埋め込む、埋込み配線プロセスを言う。同様にデュアルダマシンとは、一般にプラグメタルと、配線用メタルとを一度に埋め込む、埋込み配線プロセスを言う。一般に、銅埋込み配線を多層構成で使用されることが多い。

【0026】12. 本願において半導体装置というとき

は、特に単結晶シリコン基板上に作られるものだけではなく、特にそうでない旨が明示された場合を除き、SOI (Silicon On Insulator) 基板や TFT (Thin Film Transistor) 液晶製造用基板などといった他の基板上に作られるものを含むものとする。

【0027】13. ウエハ(回路基板または基板)とは、半導体集積回路の製造に用いるシリコンその他の半導体単結晶基板(一般には円板形、半導体ウエハ)、サファイア基板、ガラス基板、その他の絶縁、反絶縁または半導体基板等並びにそれらの複合的基板を言う。

【0028】14. 半導体集積回路チップまたは半導体チップ(以下、単にチップという)とは、ウエハ工程(ウエハプロセスまたは前工程)が完了したウエハを単位回路群に分割したものと言う。

【0029】15. シリコンナイトライド、空化ケイ素または空化シリコン膜というときは、Si₃N₄のみではなく、シリコンの空化物で類似組成の絶縁膜を含むものとする。

【0030】16. 低誘電率な絶縁膜、絶縁材料とは、バッファーベーション膜として形成される保護膜に含まれる酸化シリコン膜(たとえばTEOS (Tetraethoxysilane) 酸化膜)の誘電率よりも低い誘電率を有する絶縁膜と定義できる。一般的には、TEOS酸化膜の誘電率は4.1~4.2程度より低い低誘電率な絶縁膜と言う。

【0031】以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0032】また、以下の実施の形態において、要素の数等(個数、数値、量、範囲等を含む)に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【0033】さらに、以下の実施の形態において、その構成要素(要素ステップ等も含む)は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0034】同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0035】また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0036】また、本実施の形態で用いる図面において

は、平面図であっても図面を見易くするためにハッチングを付す場合もある。

【0037】また、本実施の形態においては、電界効果トランジスタを代表するMIS-FET (Metal Insulator Semiconductor Field Effect Transistor) をMISと略し、pチャネル型のMIS-FETをpMISと略し、nチャネル型のMIS-FETをnMISと略す。

【0038】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0039】(実施の形態1)まず、本発明者らによって検討された上記鋼を主導体層とした埋込み配線におけるTDDDB寿命の劣化原因について説明する。TDDDB寿命の劣化は、一般に配線材料に適用された銅が周辺に拡散し、これが配線間の絶縁破壊耐圧を低下させると考えられている。しかし、本発明者らによる検討結果によれば銅の拡散現象は、次のような要因が支配的であることを初めて見出した。すなわち、第1は、隣接配線間の絶縁膜中を拡散する銅は、原子状の銅よりも、酸化銅(CuO)あるいは銅シリサイドから供給されるイオン化銅が配線間の電位でドリフトし拡散する要因が支配的である。第2は、銅の拡散経路は銅配線が形成された絶縁膜と配線キャップ膜との界面が支配的である。そして、これらのことから、本発明者らは、TDDDB寿命の劣化が、次のようなメカニズムによるものであることを初めて明らかにした。

【0040】すなわち、銅を主導体膜とする埋込み配線の表面には、CMP後の表面プロセスにより酸化銅(CuO)が形成されたり、また、キャップ膜(空化シリコン膜)の形成の際に銅シリサイド(Cu化合物)が形成されたりする。このような酸化銅あるいは銅シリサイドは、純粋な銅と比較してイオン化され易い。このようにしてイオン化された銅は配線間の電界によりドリフトされ、配線間の絶縁膜に拡散される。一方、上記埋込み配線を形成する絶縁膜(空化シリコン膜)とキャップ膜(空化シリコン膜)との界面は、CMPダメージ、有機物またはダングリングボンドが多く形成され、不連続であり、密着性にも乏しい。このようなダングリングボンドの存在は、上記銅イオンの拡散を助長する作用を有し、銅イオンは界面に沿ってドリフトされ拡散する。すなわち、配線間の前記界面にリーカバスが形成される。リーカバスを流れるリーカ電流は、長時間のリーカ作用と電流による熱ストレスも加わり、その後、加速度的に電流値が増加して絶縁破壊に至る(TDDDB寿命の低下)。なお、このようなTDDDB寿命の劣化原因については、本願発明者による特願平11-226876号、特願2000-104015号または特願2000-300853号に開示がある。

【0041】ところで、近年は、銅を主導体膜とする配線に加えて、配線間空隙の低減等の観点から配線間に用

いられる絶縁膜の材料として、例えばF.S.G (高密度プラズマCVD (Chemical Vapor Deposition) 法によるフッ素ドープ酸化膜 (Si-O-F))、p-SiO₂、Si-LK (米The Dow Chemical Co製、耐熱温度 = 490°C以上、絶縁破壊耐圧 = 4.0~5.0 MV/V m) 等のような誘電率の低い、いわゆるLow-K絶縁膜 (Kは比誘電率) を用いることが本格的に検討されている。しかし、この場合、記録間の絶縁破壊耐圧が酸化シリコン膜を用いていた場合に比べて必然的に低くなる。

【0042】図3は、p-TEOS (比誘電率=4.2)、FSG (比誘電率=3.5)、Si-LK (比誘電率=2.7) を用いた銅配線構造のTDDDB寿命の測定結果を例示している。この結果から分かるように、銅配線に用いる絶縁膜のLow-K化が進むと、Low-K絶縁材料の物性から絶縁破壊耐圧も低下し、その結果、TDDDB寿命の低下を招く。したがって、Low-K絶縁構造を適用する場合には、今まで以上に信頼度 (TDDDB寿命) の確保に対して積極的に対策する必要がある。

【0043】図4は、記録間の絶縁膜としてSi-LKを用いて実際に作成した記録構造の断面TEM (Transmission Electron Microscope) 写真の模式図である。絶縁膜50上には、絶縁膜51~54が下方から順に堆積されている。絶縁膜50、53は、例えばTEOS (Tetraethoxysilane) ガスを用いたプラズマCVD法で形成された酸化シリコン膜 (Si-Ox) からなる。絶縁膜50、53の比誘電率は、例えば4.2である。絶縁膜51、54は、例えばプラズマCVD法で形成された空化シリコン膜 (Si_xNy) からなる。絶縁膜51、54の比誘電率は、例えば7である。絶縁膜52は、例えばSi-LKからなる。絶縁膜51~53には、配線溝55が掘られており、その内部に埋込み配線56が形成されている。埋込み配線56は、銅からなる主導体膜と、その外周側面および底面を被覆する相対的に薄い上記導電性バリア膜とを有している。埋込み配線56の厚さ (配線溝55の深さ) h1は、例えば438 nm程度または355 nm程度である。埋込み配線56の下部の幅w1は、例えば240 nm程度。上部の幅w2は、例えば260 nm程度である。そして、互いに隣接する埋込み配線56において、下部の間隔d1は、例えば260 nm程度。上部の間隔d2は、例えば240 nm程度である。

【0044】この断面TEM写真から実測値をデバイスシミュレータに入力し電界分布を計算した。例として5Vの电压を印加した場合の電界分布を図5に示す。黒塗りの領域が最も電界分布の高い領域を示している。この結果から分かるように、埋込み配線56の上部、いわゆるCMP面 (CMPで研磨された面) に電界が集中していることが分かる。さらに、埋込み配線56近傍のY1-Y1線の電界分布を図6に示す。Si-LKからなる

絶縁膜52における電界に対して、絶縁膜53と絶縁膜54との界面の電界は、約30%強くなっている。

【0045】このように、銅を主導体膜とした埋込み配線構造においては、電界分布がCMP面に集中する。ここで、上記した電界集中モデルを図7に示す。CMP面の埋込み配線56の角部に電界が集中する理由として、例えば次の2つが考えられる。第1は、互いに隣接する埋込み配線間の距離が最も短い。第2は、埋込み配線の角部の形状が角形状となっていることである。このような電界集中箇所では、上記銅のイオン化が助長される。このため、TDDDB寿命の劣化の原因となる。

【0046】さらに、埋込み配線56の上部角に電界が集中する理由ではないが、TDDDB寿命を劣化させる原因として、例えば次のような理由があることを本発明者は見出した。すなわち、埋込み配線56の上面側を複数絶縁膜54は、比誘電率の高い空化シリコン膜を使用している。このため、その絶縁膜54において、互いに隣接する埋込み配線間の中央全体における電界強度が高くなる。この結果、その下層の酸化シリコン膜からなる絶縁膜53の電界も高くなる。この電界が高くなる部分は互いに隣接する埋込み配線56間にあり、また、絶縁膜53、54の界面はCMP面であることから、その高電界によるTDDDB寿命の劣化に対する影響も大きい。その上、配線ピッチの縮小に伴い、実効電界強度が増加するので、TDDDB寿命の確保が益々困難になる。

【0047】そこで、本実施の形態においては、CMP面での埋込み配線への電界集中を緩和し、TDDDB特性を改善させることを検討した。

【0048】本発明の技術思想を、例えばCMIS (Complementary MIS) - LSI (LargeScale Integrated Circuit) の製造方法に適用した場合を図8~図16を用いて説明する。なお、図8(a)はCMIS-LSIの製造工程における要部平面図、図8(b)は図8(a)のX1-X1線の断面図である。また、図9~図11、図11~図15は、各工程中における図8(a)のX1-X1線に相当する部分の断面図である。

【0049】図8に示すように、ウエハを構成する基板1は、例えば1~10Ω cm程度の抵抗を有するp型の単結晶シリコンからなる。基板1の正面 (未子形成面) には、溝形の分離部 (SGI : Shallow Groove Isolation) 2が形成されている。この溝形の分離部2は、基板1の正面に形成された溝内に、例えば酸化シリコン膜が埋め込まれて形成されている。また、基板1の正面側には、p型ウエルPWLおよびn型ウエルNWLが形成されている。p型ウエルPWLおよびn型ウエルNWLには、例えばホウ素が導入され、n型ウエルNWLには、例えはリンが導入されている。このような分離部2に囲まれたp型ウエルPWLおよびn型ウエルNWLの活性領域には、nMISQnおよびpMISQpが形成されている。

【0050】nMISQnおよびpMISQpのゲート

絶縁膜3は、例えば厚さ6nm程度の酸化シリコン膜からなる。ここでいうゲート絶縁膜3の膜厚とは、二酸化シリコン換算膜厚（以下、単に換算膜厚という）であり、実際の膜厚と一致しない場合もある。ゲート絶縁膜3は、酸化シリコン膜に代えて酸窒化シリコン膜で構成しても良い。すなわち、ゲート絶縁膜3と基板1との界面に空素を偏析させる構造としても良い。酸窒化シリコン膜は、酸化シリコン膜に比べて膜中における界面堆積の発生を抑制したり、電子トラップを低減したりする効果が高いので、ゲート絶縁膜3のホットキャリア耐性を向上でき、絶縁耐性を向上させることができる。また、酸窒化シリコン膜は、酸化シリコン膜に比べて不純物が貫通し難いので、酸窒化シリコン膜を用いることにより、ゲート電極材料中の不純物が基板1側に拡散することに起因するしきい値電圧の変動を抑制することができる。酸窒化シリコン膜を形成するには、例えば基板1をNO_x、NO₂またはNH₃といった含窒素ガス雰囲気中で熱処理すれば良い。また、p型ウエルPW Lおよびn型ウエルNW Lのそれぞれの表面に酸化シリコンからなるゲート絶縁膜3を形成した後、基板1を上記した含窒素ガス雰囲気中で熱処理し、ゲート絶縁膜3と基板1との界面に空素を偏析させることによっても、上記と同様の効果を得ることができる。

【0051】また、ゲート絶縁膜3を、例えば窒化シリコン膜、あるいは酸化シリコン膜と変化シリコン膜との複合絶縁膜で形成しても良い。酸化シリコン膜からなるゲート絶縁膜3を二酸化シリコン換算膜厚で5nm未満、特に3nm未満まで薄くすると、直接トンネル電流の発生やストレス起因のホットキャリア等による絶縁破壊耐圧の低下が頭在化する。窒化シリコン膜は、酸化シリコン膜よりも誘電率が高いためにその二酸化シリコン換算膜厚は実際の膜厚よりも薄くなる。すなわち、窒化シリコン膜を有する場合には、物理的に厚くても、相対的に薄い二酸化シリコン膜と同等の容量を得ることができる。従って、ゲート絶縁膜3を単一の窒化シリコン膜あるいはそれと酸化シリコン膜との複合膜で構成することにより、その実効膜厚を、酸化シリコン膜で構成されたゲート絶縁膜よりも厚くすることができる。トンネル漏れ電流の発生やホットキャリアによる絶縁破壊耐圧の低下を改善することができる。

【0052】nMISQnおよびpMISQpのゲート電極4は、例えば低抵抗多結晶シリコン膜上にチタンシリサイド(TiSi_x)層またはコバルトシリサイド(CoSi_x)層を形成されてなる。ただし、ゲート電極構造は、これに限定されるものではなく、例えば低抵抗多結晶シリコン膜、WN(窒化タンクステン)膜およびW(タンクステン)膜の積層膜で構成される、いわゆるポリメタルゲート構造としても良い。ゲート電極4の側面には、例えば酸化シリコンからなるサイドウォール5が形成されている。

【0053】nMISQnのソースおよびドレイン用の半導体領域6は、チャネルに隣接するn型半導体領域と、n型半導体領域に接続され、かつ、n型半導体領域均分だけチャネルから離間する位置に設けられたn+型半導体領域とを有している。n型半導体領域およびn+型半導体領域には、例えばリンまたはヒ素が導入されている。一方、pMISQpのソースおよびドレイン用の半導体領域7は、チャネルに隣接するp型半導体領域と、p型半導体領域に接続され、かつ、p型半導体領域均分だけチャネルから離間する位置に設けられたp+型半導体領域とを有している。p型半導体領域およびp+型半導体領域には、例えばホウ素が導入されている。この半導体領域6、7の上面一部には、例えばチタンシリサイド層またはコバルトシリサイド層等のようなシリサイド層が形成されている。

【0054】このような基板1上には絶縁膜8aが堆積されている。この絶縁膜8aは、ゲート電極4、4の狭いスペースを埋め込むことのできるリフロー性の高い膜、例えばBPSG(Boron-doped Phospho Silicate Glass)膜からなる。また、スピンドル法によって形成されるSOG(Spin On Glass)膜で構成しても良い。絶縁膜8aには、コンタクトホール9が形成されている。コンタクトホール9の底部からは半導体領域6、7の上面一部が露出されている。このコンタクトホール9内には、プラグ1.0が形成されている。プラグ1.0は、例えばコンタクトホール9の内部を含む絶縁膜8a上にCVD法等で窒化チタン(TiN)膜およびタンクステン(W)膜を堆積した後、絶縁膜8a上の不要な窒化チタン膜およびタンクステン膜をCMP法またはエッチバック法によって除去し、コンタクトホール9内のみにこれらの膜を残すことで形成されている。

【0055】絶縁膜8a上には、例えばタンクステンからなる第1層配線L1が形成されている。第1層配線L1は、プラグ1.0を通じてnMISQnおよびpMISQpのソース・ドレイン用の半導体領域6、7やゲート電極4と電気的に接続されている。また、絶縁膜8a上には、第1層配線L1を積み重ねるように、絶縁膜8b、8cが下層から順に堆積されている。

【0056】絶縁膜8bは、例えば有機ポリマーまたは有機シリカガラス等のような低誘電率材料からなる。この有機ポリマーとしては、例えばSILK(米The Dow Chemical Co製、比誘電率=2.7、耐熱温度=490°C以上、絶縁破壊耐圧=4.0~5.0MV/Vm)またはポリアリルエーテル(PAE)系材料のFLARE(米Honeywell Electronic Materials製、比誘電率=2.8、耐熱温度=400°C以上)等がある。このPAE系材料は、基本性能が高く、機械的強度、熱的安定性および低コスト性に優れるという特徴を有している。上記有機シリカガラス(SIOC系材料)としては、例えばHSG-R7(日立化成工業製、比誘電率=2.8、

耐熱温度=650°C)、Black Diamond (米Applied Materials, Inc製、比誘電率=3, 0~2, 4、耐熱温度=450°C) またはp-MTES (日立開発製、比誘電率=3, 2) 等がある。この他のSiOC系材料としては、例えばCORAL (米Novellus Systems, Inc製、比誘電率=2, 7~2, 4、耐熱温度=500°C)、Aurora 2, 7 (日本エー・エス・エム社製、比誘電率=2, 7、耐熱温度=450°C) 等がある。

【0057】また、絶縁膜Bbの低誘電率材料としては、例えばFSG (SiOF系材料)、HSQ (hydrogen silsesquioxane) 系材料、MSQ (methyl silsesquioxane) 系材料、ポーラスHSQ系材料、ポーラスMSQ材料またはポーラス有機系材料を用いることもできる。HSQ系材料としては、例えばOCDT-12 (東京応化工業製、比誘電率=3, 4~2, 9、耐熱温度=450°C)、FOX (米Dow Corning Corp. 製、比誘電率=2, 9) またはOCLT-32 (東京応化工業製、比誘電率=2, 5、耐熱温度=450°C) 等がある。

【0058】MSQ系材料としては、例えばOCDT-9 (東京応化工業製、比誘電率=2, 7、耐熱温度=600°C)、LKDT-T200 (JSR製、比誘電率=2, 7~2, 5、耐熱温度=450°C)、HOSiP (米Honeywell Electronic Materials製、比誘電率=2, 5、耐熱温度=550°C)、HSG-RZ25 (日立化成工業製、比誘電率=2, 5、耐熱温度=650°C)、OCL-T-31 (東京応化工業製、比誘電率=2, 3、耐熱温度=500°C) またはLKDT-T400 (JSR製、比誘電率=2, 2~2、耐熱温度=450°C) 等がある。

【0059】ポーラスHSQ系材料としては、例えばXLK (米Dow Corning Corp. 製、比誘電率=2, 5~2)、OCL-T-72 (東京応化工業製、比誘電率=2, 2~1, 9、耐熱温度=450°C)、Nanoglass (米Honeywell Electronic Materials製、比誘電率=2, 2~1, 8、耐熱温度=500°C以上) またはMesolink (米Air Products and Chemicals, Inc. 比誘電率=2以下) 等がある。

【0060】ポーラスMSQ系材料としては、例えばHSG-6211X (日立化成工業製、比誘電率=2, 4、耐熱温度=550°C)、ALCAP-S (旭化成工業製、比誘電率=2, 3~1, 8、耐熱温度=450°C)、OCL-T-77 (東京応化工業製、比誘電率=2, 2~1, 9、耐熱温度=600°C)、HSG-6210X (日立化成工業製、比誘電率=2, 1、耐熱温度=550°C) またはsilice aerogel (神戸製鋼所製、比誘電率1, 4~1, 1) 等がある。

【0061】ポーラス有機系材料としては、例えばPolyEK (米Air Products and Chemicals, Inc. 比誘

電率=2以下、耐熱温度=490°C) 等がある。

【0062】上記SiOC系材料、SiOF系材料および絶縁膜Bcは、例えばCVD法 (Chemical Vapor Deposition) によって形成されている。例えば上記Black Diamondは、トリメチルシリランと酸素との混合ガスを用いたCVD法等によって形成される。また、上記p-MTESは、例えばメチルトリエトキシシランとN₂Oとの混合ガスを用いたCVD法等によって形成される。それ以外の上記低誘電率の絶縁材料は、塗布法で形成されている。

【0063】また、絶縁膜Bb上の絶縁膜Bdは、例えば酸化シリコン等からなる。この絶縁膜Bdは、いわゆるLow-Kキャップ用の絶縁膜であり、絶縁膜Bbの機械的強度を確保する機能を有している。このような絶縁膜Bb, Bdには、第1層配線L1の一部が露出するスルーホール12が穿孔されている。このスルーホール12内には、例えばタングステン等からなるプラグ13が形成されている。

【0064】また、本実施の形態においては、上記のような基板1の主面上に、例えば膜厚50nmの窒化シリコン膜等からなる絶縁膜 (第1の絶縁膜) BdをプラスマCVD法等により堆積する。絶縁膜Bdは、この窒化シリコン膜に代えて、プラスマCVD法で形成された炭化シリコン (SiC) 膜、プラスマCVD法で形成された酸化シリコン膜、プラスマCVD法で形成されたSiCNを用いることができる。プラスマCVD法で形成された炭化シリコン膜としては、例えばBLOCK (AMAT社製、比誘電率=4, 3) がある。その形成に際しては、例えばトリメチルシリランとヘリウム (またはN₂, NH₃) との混合ガスを用いる。また、上記プラスマCVD法で形成された酸化シリコン膜としては、例えばPE-TMS (Celonon製、比誘電率=3, 9) がある。その形成に際しては、例えばトリメトキシシランと酸化窒素 (N₂O) のガスとの混合ガスを用いる。絶縁膜Bdの材料として、これらを用いることにより、誘電率を窒化シリコン膜よりも大幅に下げることができ、配線容量等を下げができるので、半導体集積回路装置の動作速度を向上させることができる。

【0065】統いて、絶縁膜Bd上に、絶縁膜Be, Bfを下層から順に堆積する。絶縁膜 (第1の絶縁膜) Bdは、上記絶縁膜Bbと同じ低誘電率の絶縁膜からなる。また、絶縁膜 (第1の絶縁膜、キャップ用の絶縁膜) Bfは、上記絶縁膜Bcと同じLow-Kキャップ用の絶縁膜からなる。その後、フォトレジスト膜をマスクにしたドライエッチング法により、絶縁膜Bf, Bd, Be, Bdを選択的に除去し、配線溝 (配線開口部) 14を形成する。配線溝14を形成するには、フォトレジスト膜から露出する絶縁膜Bf, Bdを除去する間に、絶縁膜Bf, Bdと、絶縁膜Bdとのエッティング選択比を大きくとることで、絶縁膜Bdをエッティングストップと

して機能させる。すなわち、この絶縁膜 8 d の表面でエッチングを一旦停止させた後、絶縁膜 8 d を選択的にエッチング除去する。これにより、配線溝 1 4 の形成深さ精度を向上させることができ、配線溝 1 4 の掘り過ぎを防止できる。このような配線溝 1 4 は、その平面形状が、図 B (e) に示すように、例えば帯状に形成されている。配線溝 1 4 の底面からは上記プラグ 1 3 の上面が露出されている。

【0066】次に、上記配線溝 1 4 の内部に以下のような方法で埋め込み配線を形成する。まず、図 9 に示すように、基板 1 の主面上の全面に、例えば窒化チタン (TiN) 等からなる厚さ 50 nm 程度の薄い導電性バリア膜 (第 1 の導体膜) 1 5 をスパッタリング法等で堆積する。この導電性バリア膜 1 5 は、後述の主導体膜形成用の銅の拡散を防止する機能、その主導体膜と絶縁膜 8 d ~ 8 e との密着性を向上させる機能および主導体膜のリフロー時に銅の濡れ性を向上させる機能を有している。このような機能を有する膜としては、窒化チタンに代えて、銅と殆ど反応しない窒化タンクステン (WN)、窒化タンタル (TaN) 等の高融点金属窒化物を用いることが好ましい。また、その窒化チタンに代えて、高融点金属窒化物にシリコン (Si) を添加した材料や、銅と反応し難いタンタル (Ta)、チタン (Ti)、タンクステン (W)、チタンタンクステン (TiW) 合金などの高融点金属を用いることができる。なお、本実施の形態によれば、導電性バリア膜 1 5 の膜厚を、例えば 10 nm、それよりも小さい 5 ~ 7 nm または 5 nm 以下としても良好な TDR 特性を得ることができる。

【0067】次いで、導電性バリア膜 1 5 上に、例えば銅からなる主導体膜 (第 2 の導体膜) 1 6 を堆積する。本実施の形態では、主導体膜 1 6 をメッキ法で形成した。メッキ法を用いることにより、良好な膜質の主導体膜 1 6 を埋め込み性良く、かつ、低コストで形成することができる。この場合、まず、導電性バリア膜 1 5 上に、銅からなる薄い導体膜をスパッタリング法で堆積した後、その上に、銅からなる相対的に厚い導体膜を、例えば電解メッキ法または無電解メッキ法によって成長させることで主導体膜 2 e を堆積した。このメッキ処理では、例えば硫酸銅を基本とするメッキ液を使用した。

【0068】ただし、主導体膜 1 6 をスパッタリング法で形成することもできる。この導電性バリア膜 1 5 や主導体膜 1 6 を形成するためのスパッタリング法としては、通常のスパッタリング法でも良いが、埋め込み性および膜質の向上を図る上では、例えばロングスロースパッタリング法やコリメートスパッタリング法等のような指向性の高いスパッタリング法を用いることが好ましい。また、主導体膜 1 6 を CVD 法で形成することもできる。

【0069】次いで、例えば 475°C 程度の非酸化性雰囲気 (例えば水素雰囲気) 中で基板 1 に対して熱処理を

施すことによって主導体膜 1 6 をリフローさせ、銅を配線溝 1 4 の内部に瞬間なく埋め込む。

【0070】次に、このような主導体膜 1 6 および導電性バリア膜 1 5 を CMP (Chemical Mechanical Polishing) 法等によって研磨する。研磨スラリとしては、例えばアルミナなどの砥粒と過酸化水素水または硝酸第二鉄水溶液などの酸化剤とを主成分とし、これらを水に分散または溶解させたものが使用される。このようにして、図 10 に示すように、配線溝 1 4 内に銅を主成分とする埋込み第 2 層配線 (配線) L 2 を形成する。埋込み第 2 層配線 L 2 はプラグ 1 3 を通じて第 1 層配線 L 1 と電気的に接続されている。

【0071】研磨が終了した基板 1 は、その表面に防蝕処理が施される。この防蝕処理部は、研磨処理部の構成と類似した構成になっており、ここでは、まず研磨盤 (プラテン) の表面に取り付けた研磨パッドに基板 1 の正面が押しつけられて研磨スラリが機械的に除去された後、例えばベンソトリアゾール (BTA) などの防蝕剤を含んだ溶液が基板 1 の正面に供給されることによって、基板 1 の正面に形成された銅配線の表面部分に防水性保護膜が形成される。

【0072】防蝕処理が終了した基板 1 は、その表面の乾燥を防ぐために、浸漬処理部に一時的に保管される。浸漬処理部は、防蝕処理が終了した基板 1 を後洗净するまでの間、その表面が乾燥しないように維持するためのもので、例えば純水をオーバーフローさせた浸漬槽 (ストッカ) の中に所定枚数の基板 1 を浸漬させて保管する構造になっている。このとき、埋込み第 2 層配線 L 2 の電気化学的腐蝕反応が実質的に進行しない程度の低温に冷却した純水を浸漬槽に供給することにより、埋込み第 2 層配線 L 2 の腐蝕をより一層確実に防止することができる。基板 1 の乾燥防止は、例えば純水シャワーの供給など、少なくとも基板 1 の表面を湿润状態に保持することができる方法であれば、上記した浸漬槽中での保管以外の方法で行っても良い。この浸漬処理部 (基板保管部) を遮光構造にし、保管中の基板 1 の表面に照明光などが照射されないようにすることができる。これにより、光起電力効果による短絡電流の発生を防ぐようである。浸漬処理部を遮光構造にするには、具体的には浸漬槽 (ストッカ) の周囲を遮光シートなどで被覆することによって、浸漬槽 (ストッカ) の内部の照度を少なくとも 50 ルクス以下、好ましくは 30 ルクス以下、さらに好ましくは 10 ルクス以下にする。なお、上記のような CMP 処理および CMP 装置については、例えば本発明者らによる特願平 11-226876 号や特願 2000-300853 号に記載がある。

【0073】その後、基板 1 の表面の湿润状態が保たれた状態で直ちに CMP 後洗净処理に移行する。まず、基板 1 に対してアルカリ洗浄処理を施す。この処理は、CMP 処理時のスラリ等の異物を除去する目的を有してお

り、CMP処理により基板1に付着した酸性スラリを中和し、基板1と、異物と、洗浄用のブラシとのrelative電位を方向を揃えて、それらの間の吸着力をなくすために、例えば約8程度またはそれ以上の弱アルカリ溶液を供給しながら、基板1の表面をスクラブ洗浄（またはブラシ洗浄）する。アルカリ溶液として、例えばアミノエタノール（D-AE (Diluted Amino Ethanol)、組成：2-Aminoethanol, H₂NCH₂CH₂O₂H、濃度：0.01～0.1%程度、好ましくは0.01%）を用いた。この溶液は、銅のエッチング作用が少なく、NH₄O₂Hと同等の洗浄力を有する。この洗浄処理では、ロール型洗浄方式を採用した。ただし、これに限定されるものではなく種々変更可能であり、例えばアルカリ洗浄に隣してディスク型洗浄方式を採用することもできる。また、酸洗浄に隣してディスク型洗浄方式やベン型洗浄方式を採用することもできる。

【0074】統一して、基板1に対して還元処理を施す。ここでは、図11に示すように、水素ガス雰囲気中で、例えば200～475°C、好ましくは300°C、例えば0.5～5分、好ましくは2分程度の熱処理を基板1に対して施した（水素（H₂）アニール）。これにより、CMP時に発生した埋込み第2層配線L2表面の酸化銅膜を銅に還元することができ、その後の酸洗浄による埋込み第2層配線L2のエッチングを抑制または防止することができる。このため、配線抵抗の上昇、配線抵抗のばらつきおよび歯差の発生を同時に抑制または防止でき、さらに、エッチコロージョンの発生も抑制または防止できる。また、還元処理を行わない場合、CMP処理時に基板1の表面に付着したBTAs等のような有機物が洗浄処理に隣してマスクとなり絶縁膜B1の表層を良好に削りとることができない場合があるが、本実施の形態のように還元処理を行うことにより、CMP時に付着したBTAs等の有機物を除去することができる。絶縁膜B1の表層を、充分に、かつ、均一に除去することができる。これらにより、半導体集積回路装置のTDDDB寿命を大幅に向上させることが可能となる。なお、場合によっては、上記のような水素アニールを施さなくても良い場合もある。

【0075】統一して基板1に対して酸洗浄処理を施す。この処理は、TDDDB特性の向上、残留金属除去、絶縁膜B1表面のダングリングボンドの低減および絶縁膜B1表面の凹凸除去等の目的を有しており、フッ酸水溶液を基板1の表面に供給してエッチングによる異物粒子（パーティクル）の除去を行う。フッ酸洗浄を挿入しただけでもTDDDB特性を改善できる。これは、酸処理により表面のダメージ層が除去されて界面の密着性が向上したと考えられる。フッ酸（HF）洗浄は、例えばブラシスクラブ洗浄を用い、HF濃度を0.5%、洗浄時間を20秒の条件が選択できる。

【0076】本発明者らの実験によれば、アルカリ洗浄

と酸洗浄との連続シーケンスのTDDDB特性と比較し、アルカリ洗浄、水素アニールおよび酸洗浄のシーケンスのTDDDB特性は、約2倍向上することが明らかとされた。層間絶縁膜に低誘電率の絶縁材料を用いた埋込み銅配線構造の信頼性を考慮すると、2倍のTDDDB寿命の向上は、非常に有効なプロセスである。アルカリ洗浄と酸洗浄との間に、水素アニールを挿入することにより、TDDDB寿命が向上する理由として、CMP時に付着するBTAs等の有機物が除去されるためと考えられる。有機物が付着したまま酸洗浄を行うと、TDDDB寿命を左右する隣接絶縁膜表面のクリーニング（リフトオフ）が充分にできないと推定される。一方、本実施の形態では水素アニール処理を行ってから洗浄処理を行うため、絶縁膜の表層を、充分に、かつ、均一にリフトオフすることができ、TDDDB寿命を向上させることができる。

【0077】上記の例では、還元処理として水素アニールを施す場合について説明したが、これに限定されるものではなく、例えば水素プラズマやアンモニアプラズマを施しても良い。この場合、上記した効果の他に、還元処理時間を短縮でき、スループットの向上を推進させることができる、という効果が得られる。水素プラズマやアンモニアプラズマに比較した場合の水素アニールの利点としては、デバイスプロセスで良く使用されており実績があること、また、真空状態を形成する必要がないこと等から、比較的容易に処理を行うことができる、という利点がある。

【0078】また、CMP処理後、上記還元処理を行い、その後、アルカリ洗浄処理、酸洗浄処理の順で後洗浄処理を行っても良い。また、アルカリ洗浄を行わず、酸洗浄のみを行っても良い。酸洗浄のみを行っただけでもTDDDB特性が改善する。これは、ダメージ層の除去により界面の特性を向上してきたためと思われる。

【0079】また、上記CMP後洗浄処理に先行または並行して、基板1の表面を純水スクラブ洗浄、純水超音波洗浄、純水流水洗浄または純水スピノ洗浄したり、基板1の表面を純水スクラブ洗浄したりしても良い。

【0080】統一して、本実施の形態においては、図12に示すように、埋込み第2層配線L2に対してエッチング処理を施すことにより、埋込み第2層配線L2の上層を選択的にエッチング除去する。これにより、埋込み第2層配線L2の上面を、CMP面である絶縁膜B1の上面よりも疊ませる。すなわち、埋込み第2層配線L2の上面と、絶縁膜B1の上面との間に小さな段差を生じさせている。ここでは、図12(b)に例示するように、導電性バリア膜15の上部は、これに近接する絶縁膜B1の上面の高さまで残されているが、銅からなる主導体膜16の上面、特に上部角は、埋込み第2層配線L2において導電性バリア膜15の上部から距離d3だけ下方に離れて配置されている。すなわち、主導体膜16の上

部角は、埋込み第2層配線L2において最も電界が集中する上部角（導電性パリア膜15の上部）からずれるように配置されている。これにより、埋込み第2層配線L2において、電界が最も集中し、かつ、絶縁膜8dの上面（CMP面）が接する部分に、拡散係数の高い銅からなる主導体膜16が存在しないような構造とすることができます。このため、上記電界集中に起因する銅の拡散を抑制または防止することが可能となる。この結果、TDDDB寿命を向上させることができるとなる。距離d3は、例えば10nm程度またはそれ以上である。なお、このような段差形状を採用することを考慮して、予め配線溝14の深さ（すなわち、絶縁膜8d～8fの総厚）を段差形状を採用しない場合よりも深く（厚く）しておく。

【0081】また、上記アルカリ洗浄処理または酸洗浄処理に際して、例えばpH値、溶液濃度または処理時間等を所定の値に設定することにより、埋込み第2層配線L2の上層をエッチング除去することにより、上記埋込み第2層配線L2を疊ませることもできる。この場合、製造工程の簡略化と製造時間の短縮が可能となる。

【0082】次に、上記埋込み第2層配線L2の上部を絶縁膜8fの上面から疊ませた後、例えば純水リーン処理およびスピンドル乾燥やIPA（イソプロピルアルコール）ペーパー乾燥等のような乾燥処理、後処理を経てキャップ絶縁膜の形成工程に移行する。

【0083】ここでは、まず、図13に示すように、基板1の表面（埋込み第2層配線L2が露出する面）に対して、水素プラズマ処理を施す。この水素プラズマ処理条件は、例えば基板1の直徑を8インチ（＝約200mm）とした場合、処理圧力を5.0Torr（＝6.661×1.02Pa）、高周波（RF）電力を600W、基板温度を400°C、水素ガス流量を50.0cm³/min、処理時間を10～30秒とすることができる。電極間距離は6.00mm（15.24mm）とした。

【0084】続いて、上記水素プラズマ処理後、大気開放せず連続して、図14に示すように、基板1の表面（埋込み第2層配線L2が露出する面）に対して、アンモニア（NH₃）プラズマ処理を施す。このアンモニアプラズマ処理条件は、例えばアンモニア流量を2.00cm³/min程度とした以外は、上記水素プラズマ条件と同じである。

【0085】なお、プラズマ処理条件は、これら例示した条件に限られないのはもちろんである。本発明者らの検討では、圧力が高いほどプラズマダメージを低減でき、基板温度が高いほどTDDDB寿命の基板内ばらつきの低減と長寿命化がはかれることが明らかとされた。また、基板温度が高く、RF電力が大きく、処理時間が長いほどCuの表面にヒロックが発生しやすい、という知見が得られている。これらの中見と装置構成等による条件のばらつきを考慮すると、例えば処理圧力は0.5～

6Torr（＝0.666.61×1.02～7.99932×1.02Pa）、RF電力は300～600W、基板温度は350～450°C、水素ガス流量は50～100.0cm³/min、アンモニアガス流量は20～50.0cm³/min、処理時間は5～180秒、電極間距離は1.50～10.00mm（3.81～25.4mm）の範囲で設定することができる。

【0086】続いて、上記アンモニアプラズマ処理後、大気開放せず連続して、図15および図16に示すように、埋込み第2層配線L2および絶縁膜8fの上面に、配線キャップ用の絶縁膜（第1、第2の絶縁膜）8eをCOVD法等によって堆積する。絶縁膜8eは、例えば上記絶縁膜8dと同一厚さの同一材料からなる。絶縁膜8eの材料には、上記絶縁膜8dと同様の変形例がある。また、図16（a）に示すように、埋込み第2層配線L2の側面には、下方から上方に向かって配線幅が次第に広くなるようなテープが形成されている。この埋込み第2層配線L2の側面と絶縁膜8eの上面との成す角αは、例えば80°～90°の範囲内、具体的には、例えば88°～75°程度である。配線の上部側の幅（配線溝14の上部側幅）および隣接配線の上部側の間隔（隣接配線の上部角間の距離）は、例えばD：25μm以下、あるいはD：2μm以下である。配線溝14のアスペクト比は、例えば1である。

【0087】ここでは、水素プラズマ処理後にアンモニアプラズマ処理を施す場合について説明したが、これに限定されるものではなく種々変更可能である。例えばアンモニアプラズマ処理後に水素プラズマ処理を真空状態を維持したまま連続して行っても良い。また、アンモニアプラズマ処理のみを行っても良い。これらの場合、配線抵抗は前記した場合よりも低下したものの、TDDDB寿命を向上させることができた。

【0088】また、CMP後洗浄処理後の乾燥処理の後、水素アニール処理、水素プラズマ処理、アンモニアプラズマ処理、配線キャップ膜形成処理の順に処理を行っても良い。この場合のアンモニアプラズマ処理と水素プラズマ処理との順序は逆でも良い。また、アンモニアプラズマ処理のみでも良い。いずれにおいても水素アニールの条件としては、処理温度は、例えば200～475°C、好ましくは300°C程度、処理時間は、例えば0.5～5分、好ましくは2分程度とした。この方法は、特に埋込み配線用の銅からなる主導体膜をメッキ法で形成する場合に適している。また、後洗浄処理中またはその直前の還元処理に際して水素アニールを行わない場合に適している。このように水素アニール処理を施すことにより、メッキ法によって形成された銅を再結晶化させることができるので、配線抵抗を下げる事が可能となる。また、この水素アニール処理を行わずにキャップ膜を堆積すると、熱応力によってキャップ膜の剥離が生じる場合があるが、水素アニール処理を施すことによ

より、それを抑制または防止することができる。

【0089】このように本実施の形態では、配線キャップ用の絶縁膜B2の堆積に先立って水素プラズマ処理およびアンモニアプラズマ処理を基板1に対して順に施す。

【0090】アンモニアプラズマでは、CMPで酸化された銅配線表面の酸化銅(CuO、CuO₂)を銅(Cu)に還元する。また、セットフロー時の銅のシリサイド化を防ぐ窒化銅(Cu₃N)層が埋込み第2層配線L2の表面(ごく薄い領域)に形成される。配線間の絶縁膜B1上面(ごく薄い領域)では、SiH化が進み、絶縁膜B1表面のタンギングボンドを捕獲し、また、キャップ用の絶縁膜B1と埋込み第2層配線L2および絶縁膜B1との密着性を向上させることができ、界面のリーク電流を低減することができる。このような効果により、TDBD寿命を向上させることができる。

【0091】一方、水素プラズマでは、本発明者らによる特願平11-226876号や特願2000-300853号でも述べたように、アンモニアプラズマ処理等に比べて有機系の除去能力が非常に高いため、CMPでのスラリに含まれているBT.A、スラリ成分やCMP後洗浄の有機酸とプロセス中に生成した残留有機物をほぼ完全に除去し、界面のリーク電流を減少させることができる。その結果、TDBD寿命をさらに向上させることができ。

【0092】したがって、この水素プラズマ処理とアンモニアプラズマ処理とを順に行うことにより、銅を主成分として有する埋込み第2層配線L2の表面の還元および耐シリサイドバリア層の形成と、絶縁膜界面のクリーニングおよびSiH効果、SiN効果を得ることができ、さらなる信頼性の向上を実現できる。層間絶縁膜が、例えばTEOS(Tetraethoxysilane)ガスを用いたスマートCVD法で形成された酸化シリコン膜上に、スマートCVD法で形成された窒化シリコン膜を堆積することで構成されている場合において、水素プラズマとアンモニアプラズマとを組み合わせて行ったサンプルでは、アンモニアプラズマ処理単独の場合と比較して、TDBD寿命が約2倍向上することが本発明者らによって明らかとされた。また、層間絶縁膜として上記SiLKを用いた場合でも、水素プラズマおよびアンモニアプラズマを用いた場合には、例えば約0.13~0.17MV/cm、10年の動作環境でも充分な信頼度を確保できることが本発明者らの実験によって明らかとされた。

【0093】また、本実施の形態においては、上記のように埋込み第2層配線L2の上部角において電界が集中する領域EFAから埋込み第2層配線L2の銅からなる主導体膜16の上部角を離間させたことにより、電界集中に起因する銅の拡散を抑制または防止することができるので、隣接埋込み配線間で生じるリーク電流を抑制ま

たは防止でき、TDBD寿命をさらに向上させることができる。図17(a)は埋込み銅配線構造における電界強度とリーク電流との関係を本構造と通常構造とで比較したグラフ図、(b)は埋込み銅配線構造における電界強度とTDBD寿命との関係を本構造と通常構造とで比較したグラフ図である。通常構造は、絶縁膜B1上面と埋込み第2層配線L2の上面との間に段差を生じさせない一般的な構造である。本構造を採用した場合、通常構造よりも、リーク電流を低減でき、絶縁破壊耐圧を向上できる上、TDBD寿命を通常構造よりも2倍程度向上させることができた。

【0094】(実施の形態2) 図18は、本発明の他の実施の形態である半導体装置の製造工程中(図16と同一の配線キャップ用の絶縁膜の堆積工程後)の要部拡大断面図を示している。

【0095】本実施の形態2においては、図18に示すように、埋込み第2層配線L2の上面が全体的に絶縁膜B1の上面(CMP面)よりも下方に窪んでいる。すなわち、埋込み第2層配線L2の導電性バリア膜15の上部も、絶縁膜B1の上面(CMP面)よりも下方に窪んでいる。これにより、導電性バリア膜15および主導体膜16の両方の上面、特に上部角が、これに近接する絶縁膜B1の上面から離間されている。この場合、埋込み第2層配線L2において、その上部角の電界が集中する領域EFA内に、銅からなる主導体膜16の上部角が存在するが、その領域EFAが、リークバスが形成され易い絶縁膜B1の上面(CMP面、絶縁膜B1、B2の界面)から離間されている。このため、仮に埋込み第2層配線L2の上部角に電界が集中することで主導体膜16の銅がイオン化したとしても、そのイオン化された銅が絶縁膜B1の上面を通じて拡散してしまう現象を抑制または防止できる。すなわち、互いに隣接する埋込み第2層配線L2、L2間にリークバスが形成されるのを抑制または防止できる。したがって、TDBD寿命を向上させることができるとなる。

【0096】このような構造を形成するには、前記CMP処理後洗浄処理の後のエッチング処理に際して、導電性バリア膜15および主導体膜16が選択的にエッチングされる条件で基板1に対してエッチング処理を施せば良い。

【0097】なお、銅からなる主導体膜16の堆積工程後のCMP処理、CMP後洗浄処理、還元(水素アーバル)処理、アンモニアプラズマ処理および水素プラズマ処理等のような各種処理については、前記実施の形態1と同じなので説明を省略する。

【0098】(実施の形態3) 上記のように、銅配線の実用化に際しては、銅の拡散を防止するためのバリア膜が必須と考えられているが、配線の微細化に連れて、配線断面積中に占める高抵抗のバリア膜の断面積が増加することにより配線抵抗が増加する結果、配線材料として

銅を適用したメリットが薄れるという問題が発生する。【0099】そこで、本発明者らは、銅の拡散現象について改めて実験を行い検討した。その結果、本発明者らは、前記したように銅の拡散現象について本質的なメカニズムを初めて見出した。そして、その新しい見地から本発明者らは、配線溝内の側壁部および底部にイオン化されていない中性Cuを形成すること（銅の純度を上げること）、前記アンモニアプラスマ処理、水素プラスマ処理またはその両方を施すこと、あるいはこれらと前記CMP処理または洗浄処理などを組み合わせることにより、導電性バリア膜の膜厚を1.0nm未満に薄くしても、あるいは、導電性バリア膜自体を無くしてしまっても（バリアレス埋込み配線構造）、Cu配線を有する半導体集積回路装置のTDB寿命を向上させることができることを初めて見出した。すなわち、銅のみで埋込み配線を構成した場合でも充分は信頼度を達成することができ、実用的なCu配線を形成することが可能であることが本発明者らの実験によって初めて判明した。なお、これについては、本発明者らによる特願2000-104015号または特願2000-300853号に記載がある。

【0100】本実施の形態3は、そのバリアレス埋込み配線構造に本発明を適用した場合を説明するものである。図19(a)は、本実施の形態の半導体装置の製造工程中（図16と同一の配線キャップ用の絶縁膜の堆積工程後）の要部断面図、図19(b)は図19(a)の一部拡大断面図をそれぞれ示している。

【0101】本実施の形態3においては、図19に示すように、埋込み第2層配線L2が、銅からなる主導体膜16のみで構成されている。すなわち、銅からなる主導体膜16と、絶縁膜8c、8d、8e、8fとの間に導電性バリア膜が形成されておらず、主導体膜16は、絶縁膜8c、8d、8e、8fに直接接した状態で配線溝14内に埋め込まれている。このため、埋込み第2層配線L2の配線抵抗を大幅に低減できる。また、異層配線間が導電性バリア膜を介さずに直接接続される（ここでは、埋込み第2層配線L2と第1層配線L1とが直接接続される構造を例示したが、配線層の異なる銅配線同士が直接接続される場合もある）ので、その異層配線間の接触抵抗を大幅に低減させることができ、微細なスルーホールでの抵抗を低減させることができ可能となっている。したがって、配線溝14やスルーホール12が微細化されたとしても半導体集積回路装置の性能を向上させることができ可能となる。したがって、半導体装置を構成する配線の微細化を推進できる。

【0102】そして、本実施の形態においては、その主導体膜16の上面が、絶縁膜8fの上面（CMP面）よりも下方に窪んでいる。すなわち、銅からなる主導体膜16の上部角は、これに近接する絶縁膜8fの上面から距離d3だけ下方に離れて配置されている。この場合、

埋込み第2層配線L2において、その上部角の電界が集中する領域EFA内に、銅からなる主導体膜16の上部角が存在するが、その領域EFAが、リークパスが形成され易い絶縁膜8fの上面（CMP面、絶縁膜8f、Bcの界面）から離れている。このため、前記実施の形態2と同様に、互いに隣接する埋込み第2層配線間L2、L2にリークパスが形成されるのを抑制または防止できるので、TDB寿命を向上させることが可能となる。【0103】この場合、銅からなる主導体膜16は、例えば3.0nm程度のボルト厚でスパッタリング法によって堆積する。この際の条件は、例えば次の通りである。圧力は、例えば0.02Pa、直流(DC)パワーは、例えば10kW、ターゲットと基板1との距離は、例えば300~400mm、温度は、例えば室温である。

【0104】このように本実施の形態においては、主導体膜16をスパッタリング法によって堆積することにより、CV法やメッキ法に比べて、化合物の生成を非常に少なくすることができる。また、その際のターゲットとして、例えば9.9.999% (5N)以上、好ましくは、9.9.9999% (6N)以上の純度の高い無酸素Cuを用いた。これにより、例えば成膜時の主導体膜22中の銅の濃度を9.9.999%以上、好ましくは、9.9.9999%以上にできる。したがって、さらに純度の高い銅を堆積できる。この主導体膜16の堆積に関しては、通常のスパッタリング法を用いても良いが、ロングスロースパッタリング法やコリメートスパッタリング法等のような指向性の高いスパッタリング法を用いても良い。その場合、配線溝14への金属膜のカバレージを向上させることができる。

【0105】また、主導体膜16の銅以外の成分の濃度は、0.0.0atomi%以下または0.0.0atomi%以下である。また、本発明者の実測結果では、その銅以外の成分の濃度を、例えば0.0.0atomi%以下、または、それよりも低い0.0.0atomi%以下、あるいはそれよりもさらに低い0.0.0atomi%以下にすることが可能であった。この銅以外の成分の濃度の値は、チップが完成した時点、すなわち、ウエハプロセスを経てウエハからチップが切り出された時点での値であって、その銅以外の成分が、銅配線形成後の絶縁膜や金属膜の成膜処理時等の熱（例えばタンクステン等では成膜時に450°C程度の熱が加わる）によって銅配線中に拡散したことを見定して算出した値である。実際の銅配線において、その銅以外の成分は、銅配線の上層部（キャップ膜が接する部分）の濃度が高く、銅配線の中心に向かって次第に薄くなるような状態で分布していると考えられる。その銅以外の成分としては、例えばシリコン、酸素、硫黄（硫黄は銅配線をメッキ法で形成した場合に考えられる）またはそれらの任意の組合せがある。

【0106】なお、銅からなる主導体膜16の堆積工程後のCMP処理、CMP後洗浄処理、還元（水素アニール）処理、主導体膜16の上面を窓ませるための処理、アンモニアプラズマ処理および水素プラズマ処理等のような各種処理については、前記実施の形態1と同じなので説明を省略する。

【0107】（実施の形態4）図20（a）は、本発明の他の実施の形態である半導体装置の製造工程中（図16と同一の配線キャップ用の絶縁膜の堆積工程後）の要部断面図、（b）は（a）の要部拡大断面図をそれぞれ示している。また、図21は、図20（b）の変形例を示す半導体装置の製造工程中（図16と同一のキャップ用の絶縁膜の堆積工程後）の要部拡大断面図を示している。

【0108】本実施の形態4においては、図20に示すように、埋込み第2層配線L2の上面が全体的に絶縁膜81の上面（CMP面）よりも上方に突出している。ここでは、埋込み第2層配線L2を構成する導電性バリア膜15および主導体膜16の両方の上面、特に上部角が、これに近接する絶縁膜81の上面から上方に離れている。図20（b）では、主導体膜16の上面（角部以外の面）の高さが、絶縁膜81の上面（CMP面、絶縁膜81、82の界面）の高さよりも高い場合を例示している。しかし、図21に示すように、主導体膜16の上面（角部以外の面）の高さを、絶縁膜81の上面（CMP面、絶縁膜81、82の界面）の高さよりも低くしても良い。

【0109】図20および図21のいずれの場合も、埋込み第2層配線L2において、その上部角の電界が集中する領域EFA内に、銅からなる主導体膜16の上部角が存在するが、その領域EFAが、リーカバスが形成され易い絶縁膜81の上面（CMP面、絶縁膜81、82の界面）から離れているため、前記実施の形態2と同様に、互いに隣接する埋込み第2層配線L2、L2間にリーカバスが形成されるのを抑制または防止できる。したがって、TDDDB寿命を向上させることが可能となる。

【0110】このような構造を形成するには、図22に示すように、前記CMP処理後洗浄処理後のエッチング処理に際して、絶縁膜81の上層部が選択的にエッチングされる条件で基板1に対してエッチング処理を施せば良い。この場合、CMP処理によってダメージを受け、化学的に不安定となっている絶縁膜81の上層を除去するので、このエッチング処理後の絶縁膜81の表層は、化学的安定性および清浄度の高い状態となる。したがって、本実施の形態によれば、さらに埋込み第2層配線L2、L2間に絶縁膜81表層でのリーカバスの形成を抑制または防止できる。

【0111】また、上記酸洗浄処理に際して、例えばpH値、薬液濃度または処理時間等を所定の値に設定することにより、絶縁膜81の上層をエッチング除去すること

により、上記埋込み第2層配線L2を突出させることもできる。この場合の酸洗浄の薬液としては、例えばフッ酸（HF）、フマル酸、有機酸等を選択することができる。この場合、製造工程の簡略化と製造時間の短縮が可能となる。

【0112】なお、銅からなる主導体膜16の堆積工程後のCMP処理、CMP後洗浄処理、還元（水素アニール）処理、アンモニアプラズマ処理および水素プラズマ処理等のような各種処理については、前記実施の形態1と同じなので説明を省略する。

【0113】（実施の形態5）本実施の形態5においては、前記実施の形態3で説明したバリアレス埋込み配線構造に、前記実施の形態4の構造を適用した場合について説明する。図23（a）は、本実施の形態における半導体装置の製造工程中（図16と同一の配線キャップ用の絶縁膜の堆積工程後）の要部断面図、図23（b）は図23（a）の要部拡大断面図をそれぞれ示している。

【0114】本実施の形態においては、その主導体膜16の上面が、絶縁膜81の上面（CMP面）よりも上方に突出している。すなわち、銅からなる主導体膜16の上面の上部角は、これに近接する絶縁膜81の上面から距離d3だけ上方に離れて配置されている。この場合、埋込み第2層配線L2において、その上部角の電界が集中する領域EFA内に、銅からなる主導体膜16の上部角が存在するが、その領域EFAが、リーカバスが形成され易い絶縁膜81の上面（CMP面）から離れている。また、埋込み第2層配線L2の上部を突出させる方法は、前記実施の形態4と同様に絶縁膜81の上層部のエッチングするものである。したがって、前記実施の形態4で説明したように、エッチング処理後の絶縁膜81の表層は、化学的安定性および清浄度の高い状態となる。これらにより、互いに隣接する埋込み第2層配線間L2、L2間にリーカバスが形成されるのを抑制または防止できるので、TDDDB寿命を向上させることができるとなる。

【0115】これ以外の構造は、前記実施の形態3、4で説明したのと同じなので説明を省略する。また、銅からなる主導体膜16の堆積工程後のCMP処理、CMP後洗浄処理、還元（水素アニール）処理、アンモニアプラズマ処理および水素プラズマ処理等のような各種処理については、前記実施の形態1と同じなので説明を省略する。

【0116】（実施の形態6）図24は、本発明の他の実施の形態である半導体装置の製造工程中（図16と同一のキャップ用の絶縁膜の堆積工程後）の要部拡大断面図を示している。

【0117】本実施の形態6においては、図24に示すように、埋込み第2層配線L2の導電性バリア膜15の上部が、絶縁膜81の上面および主導体膜16の上面よりも上方に突出されている。絶縁膜81の上面と主導体

膜 16 の上面（角部以外の面）との高さはほぼ同じである。この場合は、埋込み第 2 層配線 L2 において電界が集中する領域 EFA および主導体膜 16 の上部角が、絶縁膜 81 の上面（CMP 面）から離れている。これにより、互いに隣接する埋込み第 2 層配線 L2、L2 間にリードバスが形成されるのを抑制または防止できる。したがって、TDDDB 寿命を向上させることができるとなる。

【0118】このような構造を形成するには、前記 CMP 处理後洗浄処理の後のエッチング処理に際して、主導体膜 16 および絶縁膜 81 が選択的にエッチングされる条件で基板 1 に対してエッチング処理を施せば良い。

【0119】また、上記アルカリ洗浄処理および酸洗浄処理に際して、例えば pH 値、蒸気温度または処理時間等を所定の値に設定することにより、主導体膜 16 の上層および絶縁膜 81 の上層をエッチング除去する。例えばアルカリ洗浄処理で主導体膜 16 の上部を除去し、酸洗浄処理で絶縁膜 81 の上部を除去する。このようにして、上記埋込み第 2 層配線 L2 の導電性バリア膜 15 の上部のみを突出させることもできる。この場合、製造工程の簡略化と製造時間の短縮が可能となる。

【0120】なお、銅からなる主導体膜 16 の堆積工程後の CMP 处理、CMP 後洗浄処理、還元（水素アーナー）、処理、アンモニアプラズマ処理および水素プラズマ処理等の様々な各種処理については、前記実施の形態 1 と同じなので説明を省略する。

【0121】（実施の形態 7）本実施の形態 7においては、デュアルダマシン法による埋込み配線構造の形成方法の一例を図 25～図 30 によって説明する。なお、図 25 (a) は、半導体装置の製造工程中における要部平面図、図 25 (b) は図 25 (a) の X-2-X 2 線の断面図を示している。また、図 26～図 30 は、図 25 に統く製造工程であって、図 24 (a) の X-2-X 2 に相当する部分の断面図を示している。

【0122】図 25 に示すように、絶縁膜 82 上には、絶縁膜（第 1 の絶縁膜）8h～8i が下層から順に堆積されている。絶縁膜 8h、8k は、前記絶縁膜 8e と同一の低誘電率材料からなり、その絶縁膜 8e と同一厚さで同様に形成されている。絶縁膜 8l、8i は、前記絶縁膜 8f と同一材料からなり、その絶縁膜 8f と同一厚さで同様に形成されている。絶縁膜 8j は、前記絶縁膜 8g と同一材料からなり、その絶縁膜 8g と同一厚さで同様に形成されている。

【0123】この絶縁膜 8g～8i には、平面円形状のスルーホール（配線開口部）17 が穿孔されている。スルーホール 17 の底面からは埋込み第 2 層配線 L2 の主導体膜 16 の上面が露出されている。また、絶縁膜 8j～8i には、平面帯状の配線溝（配線開口部）18 が形成されている。この配線溝 18 の底面からは、絶縁膜 8i の上面およびスルーホール 17 が露出している。すなわち、配線溝 18 とスルーホール 17 とは一體的に接

続されている。

【0124】このような状態において、まず、図 26 に示すように、前記と同様の導電性バリア膜 15 を、前記実施の形態 1 と同様の条件でスパッタリング法によって堆積した後、その上に、銅からなる主導体膜 16 を、前記実施の形態 1 と同様に堆積する。

【0125】続いて、前記実施の形態 1 と同様に、水素アーナー処理によるリフロ処理を施した後、この主導体膜 16 および導電性バリア膜 15 を、図 27 に示すように、前記実施の形態 1 と同様の CMP 法等によって研磨し余分な部分を除去することにより、埋込み第 3 層配線（配線）L3 を形成する。埋込み第 3 層配線 L3 は、スルーホール 17 を通じて埋込み第 2 層配線 L2 と電気的に接続されている。

【0126】続いて、前記実施の形態 1 と同様に、防蝕処理およびアルカリ洗浄処理を順に施した後、絶縁膜 8i および埋込み第 3 層配線 L3 の上面（CMP 面）に対して水素アーナー処理（還元処理）を施す。その後、酸洗浄処理を施した後、前記実施の形態 1 と同様にエッチング処理を施すことで、図 28 および図 29 に示すように、主導体膜 16 の上部を選択的にエッチング除去し、埋込み第 3 層配線 L3 の上面を前記実施の形態 1 と同様に絶縁膜 8i の上面よりも疊ませる。なお、図 29 は、図 28 の埋込み第 3 層配線 L3 の上部角の要部拡大断面図を示している。

【0127】その後、前記実施の形態 1 と同様に、絶縁膜 8i および埋込み第 3 層配線 L3 の上面に対して、前記水素プラズマ処理、前記アンモニアプラズマ処理またはその両方を施す。これにより、前記実施の形態 1 と同様の効果を得ることができた。

【0128】その後、図 30 および図 31 に示すように、前記実施の形態 1 の絶縁膜 8g と同一材料からなる絶縁膜（第 2 の絶縁膜）8m を、その絶縁膜 8g と同様に堆積する。

【0129】ここでは、前記実施の形態 1 と同様の埋込み配線構造を例示しているが、前記実施の形態 2～6 で説明した構造としても良い。図 32 および図 33 は、前記実施の形態 4 の埋込み配線構造をデュアルダマシン法に適用した場合を例示している。図 33 は、図 32 の埋込み第 3 層配線 L3 の上部角の要部拡大断面図を示している。この場合は、埋込み第 3 層配線 L3 の上部が、絶縁膜 8i の上面よりも上方に突出している。

【0130】このような本実施の形態によれば、デュアルダマシン法においても前記実施の形態 1～6 と同様の効果を得ることが可能となる。

【0131】（実施の形態 8）本実施の形態においては、前記 Low-K キャップ用の絶縁膜を無くした構造（Low-K キャップレス構造）に本発明を適用した場合について説明する。

【0132】図 34 は、その一例を示している。図 34

(a) は、半導体装置の製造工程中（図16と同一のキャップ用の絶縁膜の堆積工程後）の要部断面図、図3.4 (b) は図3.4 (a) の要部拡大断面図を示している。【0133】本実施の形態においては、低誘電率絶縁膜からなる絶縁膜B-e上に直接的に配線キャップ用の絶縁膜B-gが堆積されている。ここでは、配線構造として前記実施の形態1と同様の構造を例示している。すなわち、埋込み第2層配線Lの上面が、絶縁膜B-eの上面（CMP面、絶縁膜B-e、B-gの界面）よりも下方に空んでいる。

【0134】ここでは、前記実施の形態1の埋込み配線構造を採用した場合について説明したが、これに限定されるものではなく、前記実施の形態2～6で説明した埋込み配線構造を採用することもできる。例えば図3.5は、Low-Kキャップレス構造に前記実施の形態4の構造を適用した場合を示している。図3.5 (a) は、半導体装置の製造工程中（図16と同一のキャップ用の絶縁膜の堆積工程後）の要部断面図、図3.5 (b) は図3.5 (a) の要部拡大断面図を示している。ここでは、埋込み第2層配線L2の上部が、低誘電率材料からなる絶縁膜B-eの上面（CMP面、絶縁膜B-e、B-gの界面）よりも上方に突出されている。

【0135】以上のような本実施の形態においても、前記図17で示した結果が得られた。すなわち、Low-Kキャップレス構造においても、本構造を採用した場合、通常構造に比較してリーコ電流を低減でき、絶縁破壊耐圧を向上できる上、TDDDB寿命を通常構造に比較して2倍程度向上させることができた。

【0136】（実施の形態9）本実施の形態においては、Low-Kキャップ用の絶縁膜として銅の拡散を抑制または防止するパリア性を有する絶縁膜を用いる構造について説明する。

【0137】前記したように本発明者らの検討によれば、銅を主導体膜とする埋込み配線の銅の拡散は、互いに隣接する埋込み配線の間ににおいて、埋込み配線が形成された絶縁膜の上面と配線キャップ用の絶縁膜との界面（CMP面）が支配的であることが明らかにされた。そこで、その絶縁膜の界面に、銅の拡散を抑制または防止するようなパリア性を有する絶縁膜を設けることにより、互いに隣接する埋込み配線間でのリーコを抑制または防止できる。

【0138】図3.6は、その一例を示している。図3.6 (a) は、半導体装置の製造工程中（図16と同一のキャップ用の絶縁膜の堆積工程後）の要部断面図、図3.6 (b) は図3.6 (a) の要部拡大断面図を示している。

【0139】本実施の形態においては、Low-Kキャップ用の絶縁膜B-f1として、銅の拡散を抑制または防止する材料が選択されている。絶縁膜B-f1の具体的な材料としては、例えばトリメトキシシラン（化学式=SiH(OCH₃)₃）ガスとN₂Oガスとの混合ガスを用

いたプラズマCVD法で形成された酸化シリコン膜（SiO_x（ほぼSiO₂）、比誘電率=4.0）、トリメチルシランガス（化学式=SiH(CH₃)₃）を用いたプラズマCVD法で形成された炭化シリコン膜（SiCxNy、比誘電率=4.3～5.0）またはトリメチルシリランとNH₃との混合ガスを用いたプラズマCVD法で形成された炭化シリコン膜（SiCxNy、比誘電率=4.3～5.0）がある。特に、上記トリメトキシシランガスを用いた場合は、銅をトラップするように作用し、他の材料よりも、リーコ電流を低減でき、高い絶縁破壊耐圧を確保できた。このように、高い電界が集中する箇所に位置するLow-Kキャップ用の絶縁膜B-f1の材料として、上記パリア性を有する材料を選択することにより、絶縁膜B-f1、B-gの界面（絶縁膜B-f1上面）でのリーコバスの形成を抑制または防止できるので、TDDDB寿命を向上させることが可能となる。

【0140】また、配線キャップ用の絶縁膜B-gの材料は、前記絶縁膜B-gと同じ材料としても良いが、前記Low-Kキャップ用の絶縁膜B-f1と同様に上記パリア性を有する材料を選択することにより、さらに絶縁膜B-f1、B-gの界面でのリーコバスの形成を抑制または防止できるので、さらにTDDDB寿命を向上させることができるので、この場合、絶縁膜B-f1、B-gは、互いに同一材料となるようにすることが好ましい。これにより、絶縁膜B-f1、B-gの密着性を向上させることができ、絶縁膜B-f1-B-gの界面でのリーコバスの形成を抑制または防止できる。

【0141】また、図3.6では、埋込み第2層配線L2の上面と、絶縁膜B-f1の上面（CMP面、絶縁膜B-f1、B-gの界面）との間に段差の無い通常構造を例示しているが、前記実施の形態1～6で説明した埋込み配線構造を採用しても良い。これにより、さらにTDDDB寿命を向上させることができるとなる。

【0142】また、図3.6では、導電性パリア膜15が設けられている場合を例示しているが、前記実施の形態3、5で説明したバリアレス埋込み配線構造としても良い。すなわち、埋込み配線を銅からなる主導体膜のみで構成しても良い。この場合、埋込み配線構造は、前記埋込み配線の上面とその周囲の絶縁膜の上面との間に段差を設ける本構造の場合と、その段差を設けない通常構造の場合とがある。いずれの場合もTDDDB寿命を向上させることができるとなる。

【0143】（実施の形態10）本実施の形態においては、埋込み配線構造を構成する層間絶縁膜として銅の拡散を防止するパリア性を有する絶縁膜を用いる構造について説明する。

【0144】図3.7は、その一例を示している。図3.7 (a) は、図3.0と同一工程時（配線キャップ用の絶縁膜を堆積後）の半導体装置の要部断面図、図3.7 (b) は図3.7 (a) の要部拡大断面図を示している。

【0145】本実施の形態では、埋込み配線構造を形成する絶縁膜（第1の絶縁膜）B p～B rの材料として、例えばトリメトキシシラン（化学式=SiH(OCH₃)₃）ガスとN₂Oガスとの混合ガスを用いたプラスマCVD法で形成された酸化シリコン膜（SiO_x（ほぼSiO₂）、比誘電率=4.0）、トリメチルシリランガス（化学式=SiH(CH₃)₃）を用いたプラスマCVD法で形成された酸化シリコン膜（SiO_x、比誘電率=4.3～5.0）またはトリメチルシリランとNH₃との混合ガスを用いたプラスマCVD法で形成された炭素化シリコン膜（SiCxNy、比誘電率=4.3～5.0）等のような銅の拡散を抑制または防止する材料が選択されている。この場合も前記実施の形態9と同様の効果を得ることができる。

【0146】また、配線キャップ用の絶縁膜（第2の絶縁膜）B m、B h、B mの材料は、前記実施の形態で説明した材料を用いても良いが、前記絶縁膜B p～B rと同様にバリア性を有する材料を選択することにより、さらに絶縁膜B p、B eの界面および絶縁膜B r、B mの界面でのリーカバスの形成を抑制または防止できるので、さらにTDBB寿命を向上させることが可能となる。この場合も、絶縁膜B p、B e、絶縁膜B q、B hおよび絶縁膜B r、B mを、それぞれ互いに同一材料とすることにより、それら絶縁膜B p、B e、絶縁膜B q、B hおよび絶縁膜B r、B mのそれぞれの密着性を向上させることができるので、絶縁膜B p、B eの界面および絶縁膜B r、B mの界面でのリーカバスの形成を抑制または防止できる。

【0147】また、図37では、埋込み第2層配線L2の上面と、絶縁膜B pの上面（CMP面、絶縁膜B p、B eの界面）との間および埋込み第3層配線L3の上面と、絶縁膜B rの上面（CMP面、絶縁膜B r、B mの界面）との間に段差の無い通常構造を例示しているが、前記実施の形態1～6で説明した埋込み配線構造を採用しても良い。これにより、さらにTDBB寿命を向上させることができる。

【0148】また、図37では、埋込み第2層配線L2および埋込み第3層配線L3の各々において導電性バリア膜15が設けられている場合を例示しているが、前記実施の形態3、5で説明したバリアレス埋込み配線構造としても良い。すなわち、埋込み配線を銅からなる主導体膜のみで構成しても良い。この場合も、埋込み配線構造は、前記埋込み配線の上面とその周囲の絶縁膜の上面との間に段差を設ける本構造の場合と、その段差を設けない通常構造の場合がある。いずれの場合もTDBB寿命を向上させることができる。

【0149】（実施の形態11）前記実施の形態1においては、埋込み配線を形成するためのCMP処理に際して、砥粒を含む研磨液（スラリー）を使用した化学機械研磨（有砥粒化学機械研磨）方法を用いた場合について説

明した。

【0150】本実施の形態においては、そのCMP処理に際して、前記砥粒フリー化学機械研磨を用いる方法について説明する。

【0151】まず、前記図9に示したように主導体膜16を基板1の主面上全面に堆積した後、これを砥粒を含まないスラリーを使用した化学機械研磨（砥粒フリー化学機械研磨）（第1ステップのCMP）法により除去する。

【0152】ここで砥粒フリー化学機械研磨とは、アルミニウム、シリカなどの粉末からなる砥粒の含有量が0.5重量%以下の研磨液（スラリー）を使用した化学機械研磨を意味し、研磨液としては、特に砥粒の含有量が0.1重量%以下のものが好ましく、0.05重量%以下あるいは0.01重量%以下のものはさらに好ましい。

【0153】また、研磨液としては、銅の腐食層に属するようそのpHが調整されたものが使用され、さらに導電性バリア膜15に対する主導体膜16の研磨選択性比が少なくとも5以上となるようその組成が調整されたものが使用される。このような研磨液として、酸化剤と有機酸とを含んだスラリーを例示することができる。酸化剤としては、過酸化水素、水酸化アンモニウム、硝酸アンモニウム、塩化アンモニウムなどを例示することができ、有機酸としては、クエン酸、マロン酸、マルチ酸、リンゴ酸、アジピン酸、安息香酸、フタル酸、酒石酸、乳酸、コハク酸、シウ酸などを例示することができる。これらのうち、過酸化水素は金属成分を含まず、かつ強酸ではないため、研磨液に用いて好適な酸化剤である。また、クエン酸は食品添加物としても一般に使用されており、毒性が低く、腐液としての害も低く、臭いもなく、水への溶解度も高いため、研磨液に用いて好適な有機酸である。本実施の形態では、例えば純水に10wt%の過酸化水素と0.03重量%のクエン酸とを加え、砥粒の含有量を0.01重量%未満にした研磨液を使用する。

【0154】上記研磨液で化学機械研磨を行うと、まず銅表面が酸化剤によって酸化され、表面に薄い酸化層が形成される。次に酸化物を水溶性化する物質が供給されると上記酸化層が水溶液となって溶出し、上記酸化層の厚さが減る。酸化層が薄くなつた部分は再度酸化性物質に晒されて酸化層の厚さが増し、この反応を繰り返して化学機械研磨が進行する。なお、このような砥粒フリーの研磨液を使用した化学機械研磨については、本願発明者などによる日本特許平9-299937号および特許平10-317233号に詳しく記載されている。

【0155】研磨の条件は、一例として荷重=25.0g/cm²、ウエハキャリア回転数=30rpm、定盤回転数=25rpm、スラリー流量=150cc/minとし、研磨パッドは、米国ロデル（Rodel）社の硬質パッド（IC1400）を使用する。研磨の終点は、主導体膜16が除去さ

れて下地の導電性バリア膜15が露出した時点とし、該点の検出は、研磨対象が主導体膜16から導電性バリア膜15になったときに変化する定盤またはウエハキャリアの回転トルク信号強度を検出することによって行う。また、研磨パッドの一部に穴を開け、基板1表面からの光反射スペクトル変化に基づいて該点を検出したり、スラリの光学的スペクトル変化に基づいて該点を検出したりしても良い。

【0156】この場合、上記の砥粒フリー化学機械研磨を行うことにより、配線溝14の外部の主導体膜16は殆ど除去されて下層の導電性バリア膜15が露出するが、下地段差に起因して生じた導電性バリア膜15の空みなどには、この研磨では除去しきれなかった主導体膜16が残存する。

【0157】そこで、配線溝14の外部の導電性バリア膜15とその上面に局所的に残った主導体膜16とを除去するために、基板1に対して、砥粒を含む研磨液(スラリ)を使用した化学機械研磨(有砥粒化学機械研磨)を施す。ここで有砥粒化学機械研磨とは、アルミナ、シリカなどの粉末からなる砥粒の含有量が0.5重量%よりも多いの研磨液を使用した化学機械研磨を意味する。本実施の形態では、研磨液として純水に5体积%の過酸化水素、0.03重量%のクエン酸および0.5重量%の砥粒を混合したものを使用するが、これに限定されるものではない。この研磨液は、前記のスラリ供給管3-1-1を通じて第2定盤3-1-2の研磨パッド3-1-1に供給される。

【0158】また、この有砥粒化学機械研磨においては、導電性バリア膜15の上面に局所的に残った主導体膜16の除去に引き続いて、配線溝14の外部の導電性バリア膜15を除去する。そこで、導電性バリア膜15に対する主導体膜16の研磨選択比が前記砥粒フリー化学機械研磨のそれよりも低い条件、例えば選択比3以下の条件で研磨を行い、配線溝14の内部の主導体膜16の表面が研磨されるのを抑制する。

【0159】研磨の条件は、一例として荷重=120g/cm²、ウエハキャリア回転数=30rpm、定盤回転数=2.5rpm、スラリ流量=1.50cc/minとし、研磨パッドは、ロデール社の1.C1400を使用する。研磨量は導電性バリア膜15の膜厚相当分とし、研磨の終点は、導電性バリア膜15の膜厚および研磨速度から算出した時間によって制御する。

【0160】上記の有砥粒化学機械研磨を行うことにより、配線溝14の外部の導電性バリア膜15は殆ど除去されて下層の絶縁膜8-1が露出するが、下地段差に起因して生じた絶縁膜8-1の上面の小さな空みなどには、上記の研磨で除去しきれなかった導電性バリア膜15が残存する。

【0161】次に、配線溝14の内部の主導体膜16の研磨を可能な限り抑制しつつ、配線溝14の外部の絶縁

膜8-1上に局所的に残った導電性バリア膜15を除去するための選択的化学機械研磨を行う。この選択的化学機械研磨は、主導体膜16に対する導電性バリア膜15の研磨選択比が少なくとも5以上となる条件で行う。また、この化学機械研磨は、主導体膜16の研磨速度に対する絶縁膜8-1の研磨速度の比が1よりも大きくなる条件で行う。

【0162】上記選択的化学機械研磨を行うには、一般に前記有砥粒化学機械研磨で使用したような0.5重量%よりも多いの砥粒を含有する研磨液に防食剤を添加したものを使用する。防食剤とは、主導体膜16の表面に耐食性の保護膜を形成することによって研磨の進行を阻止または抑制する薬剤をいい、ベンソトリニアゾール(BTA)、BTAカルボン酸などのBTA誘導体、ドデシルメルカプタン、トリアソール、トリルトリニアゾールなどが使用されるが、特にBTAを使用した場合に安定な保護膜を形成することができる。

【0163】防食剤としてBTAを使用する場合、その濃度はスラリの種類にもよるが、通常は0.01~1重量%、より好ましくは0.01~1重量%、さらに好ましくは0.1~1重量% (3段階) の添加で十分な効果が得られる。本実施の形態では、研磨液として前記有砥粒化学機械研磨で使用した研磨液に防食剤として0.1重量%のBTAを混合したものを使用するが、これに限定されるものではない。また、防食剤の添加による研磨速度の低下を防ぐために、ポリアクリル酸、ポリメタクリル酸、これらのアンモニウム塩またはエチレンジアミン四酢酸(EDTA)などを必要に応じて添加してもよい。なお、このような防食剤を含むスラリを使用した化学機械研磨については、本願発明者などによる特願平10-209857号、特願平9-299937号および特願平10-317233号に詳しく記載されている。

【0164】この選択的化学機械研磨は、前記の有砥粒化学機械研磨が終了した後、引き続いてCMP装置の定盤の上で行われる。防食剤を添加した研磨液は、スラリ供給管を通じて研磨パッドの表面に供給される。研磨の条件は、一例として荷重=120g/cm²、ウエハキャリア回転数=30rpm、定盤回転数=2.5rpm、スラリ流量=1.90cc/minとする。

【0165】上記の選択的化学機械研磨を行うことにより、前記図10に示したように、配線溝14の外部の導電性バリア膜15がすべて除去され、配線溝14の内部に埋込み第2層配線L2が形成される。

【0166】埋込み第2層配線L2の形成が完了した上記基板1の表面には、砥粒などのパーティクルやC_xH_y化物などの金属粒子を含んだスラリ残渣が付着している。そこで、このスラリ残渣を除去するために、まず、クリーン・ステーションにおいてBTAを含む純水で基板1を洗浄する。このとき、洗浄液に800kHz以上

の高周波振動を加えて基板1の表面からスラリ残渣を離せるメガソニック洗浄を併用してもよい。次に、表面の乾燥を防ぐために基板1を湿润状態に保持した状態で研磨処理部から後洗净部に搬送し、第1洗净部においてO₂1重量%のNH₄OHを含む洗净液を用いたスクラブ洗净を行い、続いて第2洗净部において純水を用いたスクラブ洗净を行う。前記のように、後洗净部は、洗净中の基板1の表面に光が照射することに起因して埋込み第2層配線L2に腐食が発生するのを防ぐため、全体が遮光壁で覆われている。

【0175】上記スクラブ洗净（後洗净）が完了した基板1は、スピンドライヤ等で乾燥された後、次工程へ搬送される。その後の工程は前記実施の形態1と同様である。

【0176】本実施の形態によれば、前記実施の形態1の場合よりさらにTDDDB寿命を向上させることができ。なお、アンモニアプラズマ処理を行わず、砥粒フリーの化学機械研磨のみを行っただけでもTDDDB特性が改善することが本発明者らの検討により判明した。このように砥粒フリーの場合にTDDDB寿命が向上するのは酸化シリコン膜に与えるダメージを低減できるためと考えられる。有砥粒の場合、スラリには2~3μmの粒径（2次粒径）の砥粒（アルミナ等）が含まれる。この砥粒によりマイクロスクラッチが生じ、酸化シリコン膜（絶縁膜B1等）の表面にダメージを与える。しかし、砥粒フリーの場合にはスラリに砥粒が含まれず、あるいは含まれていてもごく少數であるため、ダメージを大幅に軽減できる。このため、TDDDB特性が改善されたものと考えられる。

【0177】（実施の形態12）本実施の形態においては、前記実施の形態1のCMP後洗净処理における酸洗净処理に際して、薬液として前記有機酸を用いるか、またはフッ酸と有機酸との混合薬液を用いる。これ以外は、前記実施の形態1と同じである。有機酸として、例えばクエン酸を用いた場合、たとえばフラシスクラブ洗净を用い、クエン酸濃度を5%，洗净時間を45秒の条件が選択できる。

【0178】このように有機酸洗净を用いることにより、CMP等で生じた表面のダメージ層を除去することができる。これによりTDDDB寿命を向上できる。また、有機酸を用いた場合、下地に影響を与えるに金属イオンのみを除去できる効果もある。すなわち、Fe、K、Ca等の不純物を選択的に除去することができる。

【0179】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0180】前記実施の形態では、キャップ膜を後処理（プラズマ処理）後に真空破壊することなく連続的に形成する場合について説明したが、後処理の後、一旦真空

破壊をして、その後、キャップ膜を形成しても良い。真空破壊しない方が本発明の効果をより効果的に表すことができるが、後処理におけるアンモニアプラズマ処理により薄い空化層が形成されるため、真空破壊を行い大気雰囲気に暴露しても酸化層の形成を抑制できる。よって、真空破壊した場合であっても、本実施の形態の効果をある程度奏することは可能である。

【0181】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるCMOS回路を有する半導体装置技術に適用した場合について説明したが、それに限定されるものではなく、例えばDRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory)、フラッシュメモリ (EEPROM; Electric Erasable Programmable Read Only Memory) またはFRAM (Ferroelectric Random Access Memory) 等のようなメモリ回路を有する半導体装置、マイクロプロセッサ等のような論理回路を有する半導体装置または上記メモリ回路と論理回路とを同一半導体基板に設けている追駆型の半導体装置にも適用できる。本発明は、少なくとも微細埋込み銅配線構造を有する半導体装置、半導体集積回路装置、電子回路装置、電子装置またはマイクロマシン等に適用可能である。

【0182】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0183】すなわち、銅を主導体層とする配線の電界集中箇所を、その周囲の絶縁膜の研磨面から離間させることにより、銅を主導体層とする配線間の絶縁破壊耐性を向上させることができる。

【図面の簡単な説明】

【図1】本願のTDDDB寿命測定に使用した試料を示し、(a)は平面図、(b)および(c)は(a)におけるB-B'線断面およびC-C'線断面を各々示す説明図である。

【図2】測定の概要を示した説明図である。

【図3】各種層間絶縁膜材料を用いた場合の銅配線構造におけるTDDDB寿命の測定結果の説明図である。

【図4】配線間の絶縁膜としてSLIKを用いて実際に作成した配線構造の断面TEM写真の模式図である。

【図5】図4の断面TEM写真から実測値をデバイスマニュレータに入力して得られた電界分布の説明図である。

【図6】図5の埋込み配線近傍におけるY-Y'1破線の電界分布の説明図である。

【図7】銅を主導体膜とした埋込み配線構造において電界分布がCMP面に集中することを模式的に示した説明図である。

【図8】(a)は本発明の一実施の形態である半導体装置の製造工程中における要部平面図、(b)は(a)の

×1-×1線の断面図である。

【図9】図8に統く半導体装置の製造工程中における図8(e)の×1-×1線に相当する部分の断面図である。

【図10】図9に統く半導体装置の製造工程中における図8(e)の×1-×1線に相当する部分の断面図である。

【図11】図10に統く半導体装置の製造工程中における図8(e)の×1-×1線に相当する部分の断面図である。

【図12】(a)は図11に統く半導体装置の製造工程中における要部断面図、(b)は(a)の要部拡大断面図である。

【図13】図12に統く半導体装置の製造工程中における図8(e)の×1-×1線に相当する部分の断面図である。

【図14】図13に統く半導体装置の製造工程中における図8(e)の×1-×1線に相当する部分の断面図である。

【図15】図14に統く半導体装置の製造工程中における図8(e)の×1-×1線に相当する部分の断面図である。

【図16】(a)は図15の要部拡大断面図、(b)は(a)の要部拡大断面図である。

【図17】(a)は電界強度とリーケ電流との関係を本構造と通常構造と比較したグラフ図、(b)は電界強度とTDDDB寿命との関係を本構造と通常構造と比較したグラフ図である。

【図18】本発明の他の実施の形態である半導体装置の製造工程中(キャップ用の絶縁膜の堆積工程後)における要部拡大断面図である。

【図19】(a)は本発明の他の実施の形態である半導体装置の製造工程中(キャップ用の絶縁膜の堆積工程後)における要部断面図、(b)は(a)の要部拡大断面図である。

【図20】(a)は、本発明の他の実施の形態である半導体装置の製造工程中(キャップ用の絶縁膜の堆積工程後)の要部断面図、(b)は(a)の要部拡大断面図である。

【図21】図20(b)の変形例を示す半導体装置の製造工程中(キャップ用の絶縁膜の堆積工程後)の要部拡大断面図である。

【図22】(a)および(b)は図20の半導体装置のエッチング工程時の要部断面図である。

【図23】(a)は、本発明の他の実施の形態における半導体装置の製造工程中(キャップ用の絶縁膜の堆積工程後)の要部断面図、(b)は(a)の要部拡大断面図である。

【図24】本発明の他の実施の形態である半導体装置の製造工程中(キャップ用の絶縁膜の堆積工程後)の要部

拡大断面図である。

【図25】(a)は、本発明のさらに他の実施の形態である半導体装置の製造工程中における要部平面図、(b)は(a)の×2-×2線の断面図である。

【図26】図25に統く半導体装置の製造工程中における図24(a)の×2-×2線に相当する部分の断面図である。

【図27】図25に統く半導体装置の製造工程中における図24(a)の×2-×2線に相当する部分の断面図である。

【図28】図27に統く半導体装置の製造工程中における図24(a)の×2-×2線に相当する部分の断面図である。

【図29】図28の要部拡大断面図である。

【図30】図28および図29に統く半導体装置の製造工程中における図24(a)の×2-×2線に相当する部分の断面図である。

【図31】図30の要部拡大断面図である。

【図32】本発明のさらに他の実施の形態である半導体装置の製造工程中(キャップ用の絶縁膜の堆積工程後)の要部拡大断面図である。

【図33】図32の要部拡大断面図である。

【図34】(a)は、半導体装置の製造工程中(キャップ用の絶縁膜の堆積工程後)の要部断面図、(b)は(a)の要部拡大断面図である。

【図35】(a)は、本発明の他の実施の形態である半導体装置の製造工程中(キャップ用の絶縁膜を堆積工程後)の要部断面図、(b)は(a)の要部拡大断面図である。

【図36】(a)は、本発明の他の実施の形態である半導体装置の製造工程中(キャップ用の絶縁膜を堆積工程後)の要部断面図、(b)は(a)の要部拡大断面図である。

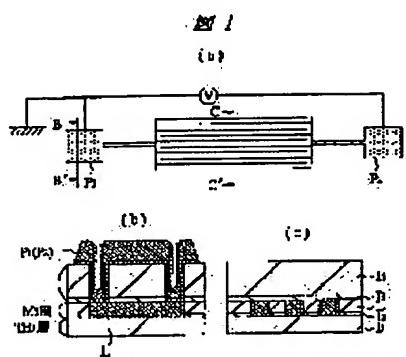
【図37】(a)は、本発明のさらに他の実施の形態である半導体装置の製造工程中(キャップ用の絶縁膜を堆積工程後)の要部断面図、(b)は(a)の要部拡大断面図である。

【符号の説明】

- 1 基板
- 2 分離部
- 3 ゲート絶縁膜
- 4 ゲート電極
- 5 サイドウォール
- 6, 7 半導体領域
- 8a～8m, 8p～8r 絶縁膜
- 9 コンタクトホール
- 10 ブラグ
- 12 スルーホール
- 13 ブラグ
- 14 配線溝(配線開口部)

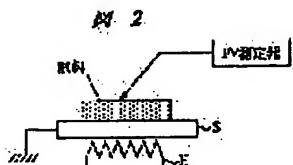
1.5 塩電性パリア膜(第1の導体膜)
 1.6 主導体膜(第2の導体膜)
 1.7 スルーホール(配線開口部)
 1.8 配線溝(配線開口部)
 5.0~5.4 絶縁膜
 5.5 配線溝
 5.6 埋込み配線
 L 極形配線
 M2 第2層配線
 P1, P2 パッド

【図1】

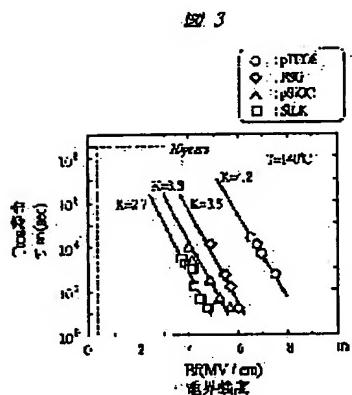


S 測定ステージ
 H ヒータ
 Q_P pチャネル型のMIS-FET
 Q_n nチャネル型のMIS-FET
 PWL p型ウエル
 NWL n型ウエル
 L1 第1層配線
 L2 埋込み第2層配線(配線)
 L3 埋込み第3層配線(配線)

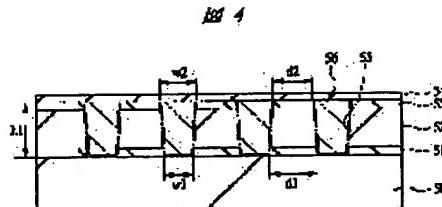
【図2】



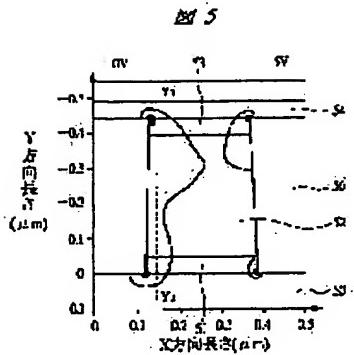
【図3】



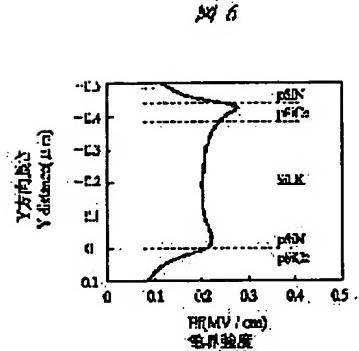
【図4】



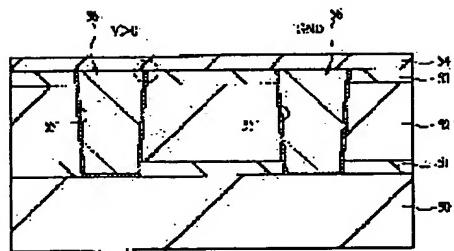
【5】



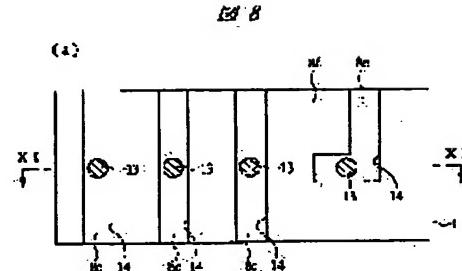
【 6】



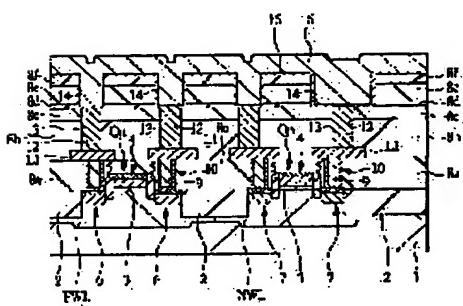
【图 7】



【图8】



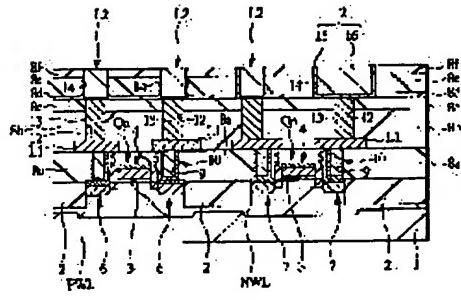
【图9】



· 30-23

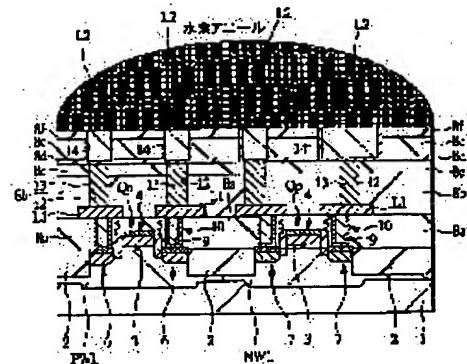
【图 1-0】

10



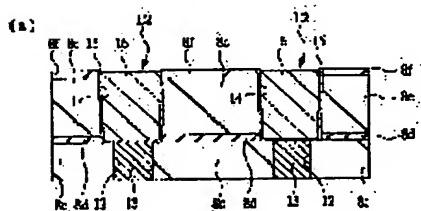
[圖 1-1]

四



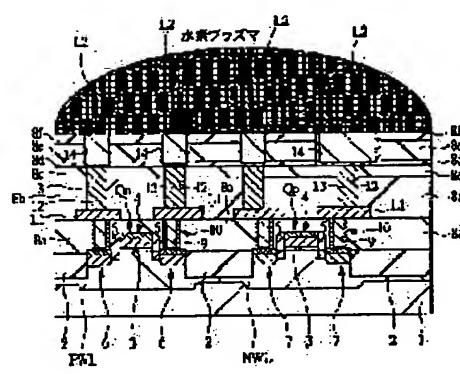
【图 12】

8812



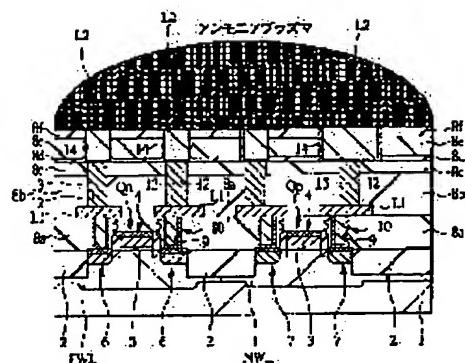
[图 1-3]

• 13 •



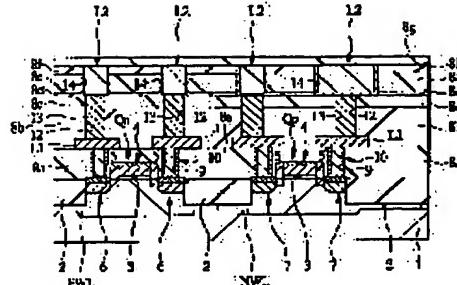
[图 1-4]

४५



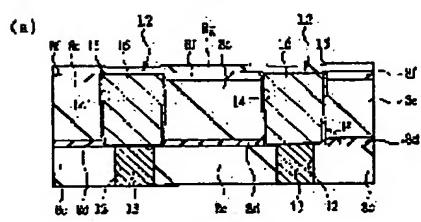
【图15】

四



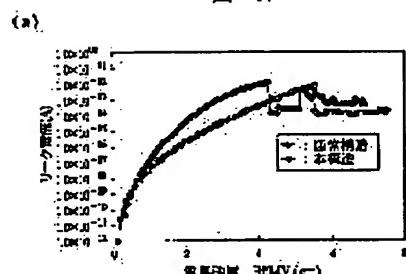
【圖 16】

15

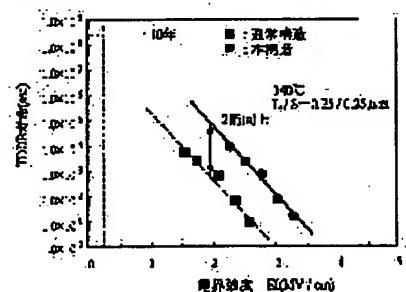


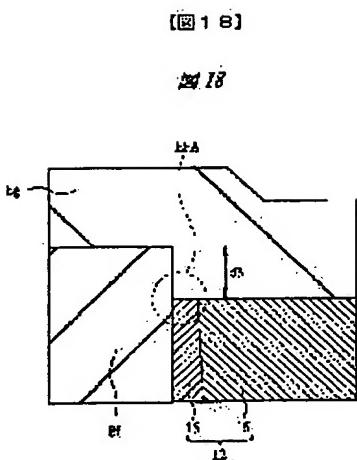
〔図1.7.〕

17

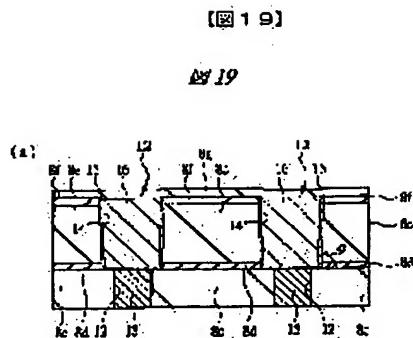


८५

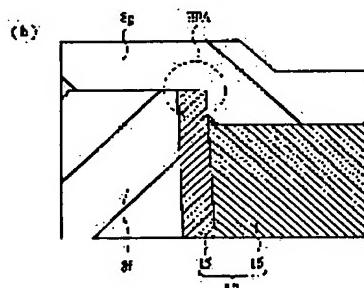




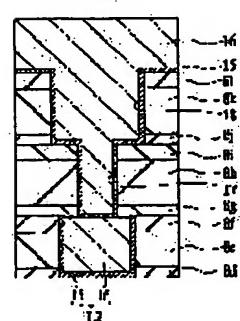
【图18】



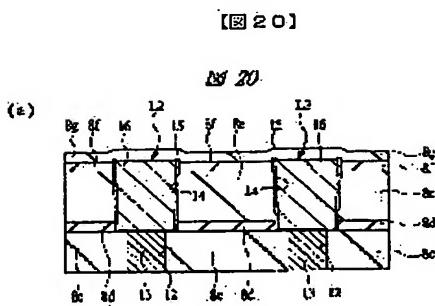
第 12 页



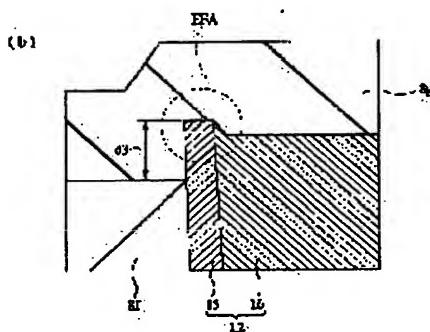
३५



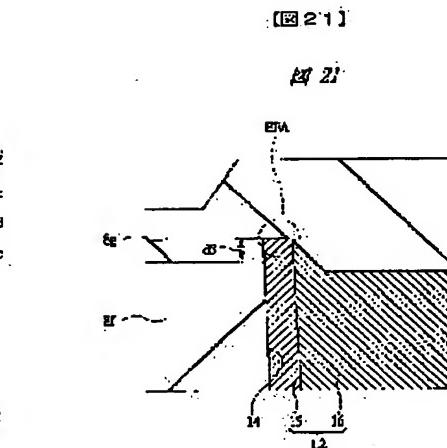
【图2-6】



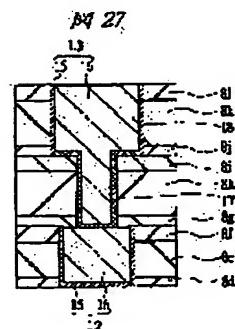
[図20]



FA



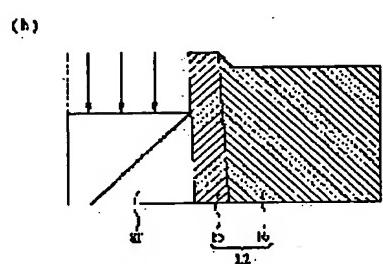
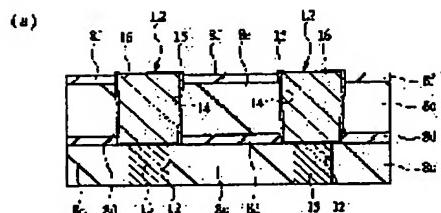
[图 2-1]



【图27】

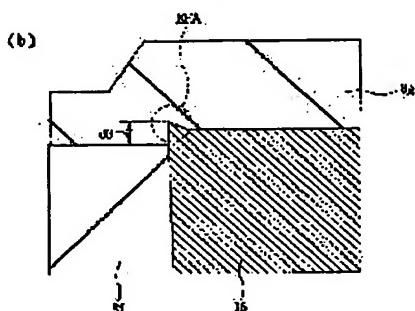
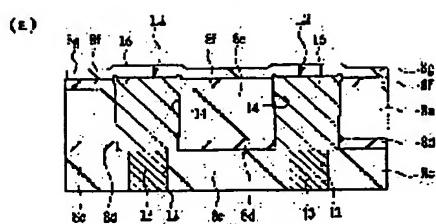
[図22]

図22



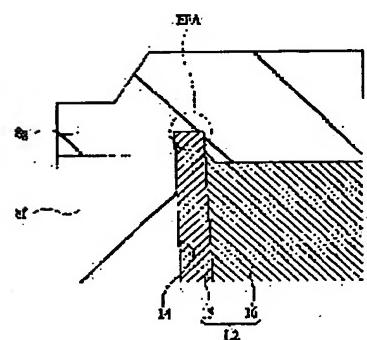
[図23]

図23



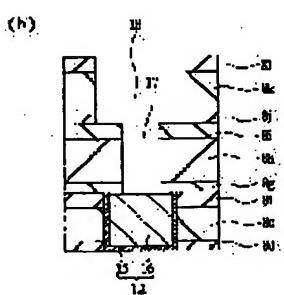
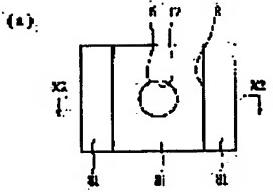
[図24]

図24



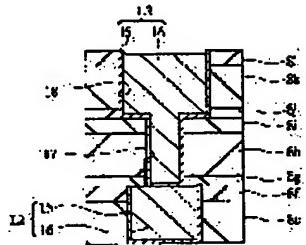
[図25]

図25



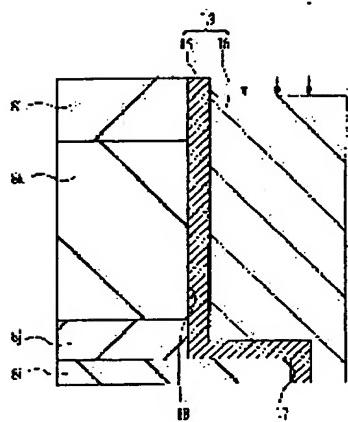
[図26]

図26



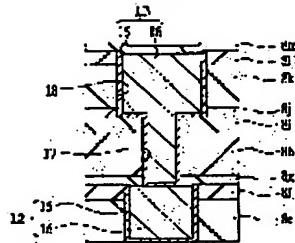
〔図2.9〕

頁 29



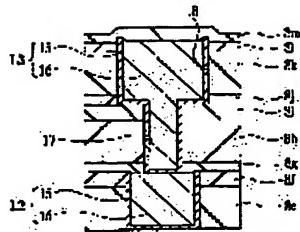
〔図3.0〕

四三



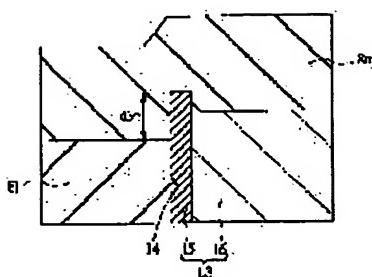
〔图32〕

27.32



[図31]

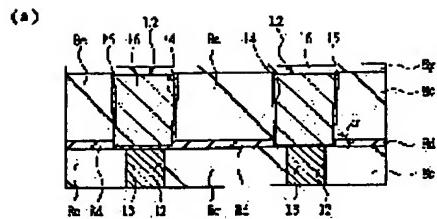
AM 31



The diagram shows a rectangular beam section with a central vertical hatched column. A horizontal dashed line extends from the center of this column to the right edge of the beam. The distance between the center of the column and the right edge is labeled e . The label EI is placed to the left of the beam section.

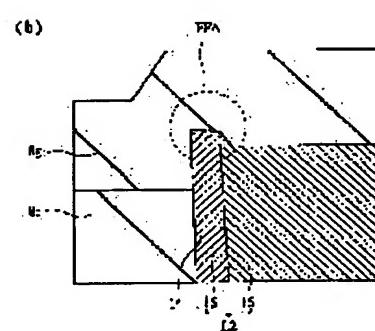
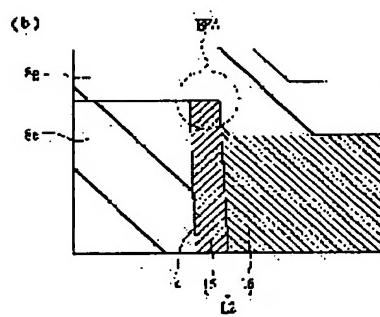
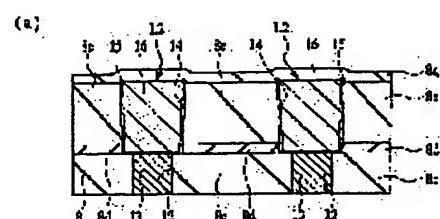
[図34]

図34

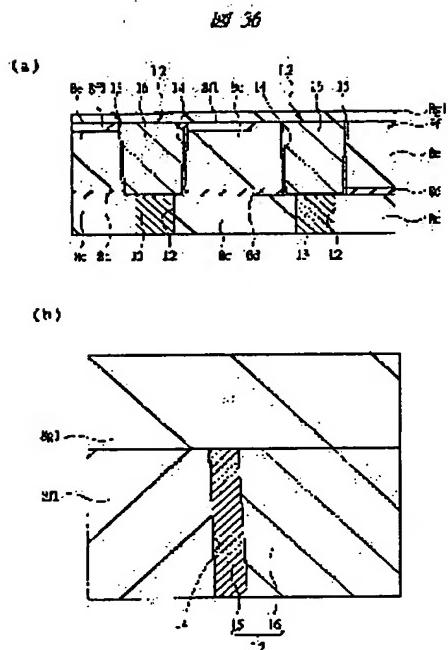


[図35]

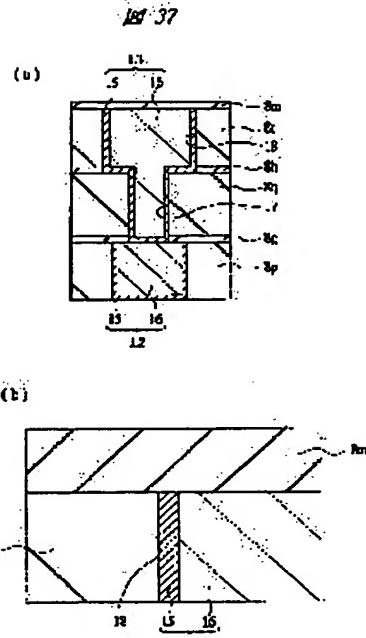
図35



【図3-6】



〔図37〕



フロントページの続き

(72) 発明者 大橋 直史
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

Fターミ(参考) 5F033 G603 G604 HH04 HH11 HH18
HH19 HH21 HH23 HH27 HH32
HH33 HH34 JJ19 JJ33 KK03
KK19 KK25 KK27 MM01 MM02
MM07 MM12 MM13 MM17 NN06
NN07 PP06 PP15 PP21 PP22
PP27 PP28 QQ08 QQ09 QQ10
QQ11 QQ21 QQ25 QQ35 QQ37
QQ48 QQ73 QQ75 QQ78 QQ91
QQ93 QQ98 RR01 RR04 RR06
RR09 RR11 RR15 RR21 SS03
SS04 SS11 SS15 SS21 VV15
VV16 XX00 XX31
5F048 AA07 AB01 AC03 BA01 BB05
BB09 BB09 BB11 BB12 BC06
BE03 BF01 BF06 BF07 BF16
BG14 D022

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.